



Atty. Dkt. No. 043034/0163

2182

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yoshihiko SUEMURA
Title: SWITCHING SYSTEM AND
SCRAMBLE CONTROL METHOD
Appl. No.: 09/742,236
Filing Date: 12/22/2000
Examiner: Unassigned
Art Unit: Unassigned

RECEIVED
MAR 23 2001
Technology Center 2100

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 11-367830 filed December 24, 1999.

Respectfully submitted,

Date March 22, 2001

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By James J. Bilal Reg. No. 43,438

for David A. Blumenthal
Attorney for Applicant
Registration No. 26,257



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

F05-504 115
SUEMURA
09/742,236
)

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年12月24日

出願番号

Application Number:

平成11年特許願第367830号

出願人

Applicant(s):

日本電気株式会社

RECEIVED

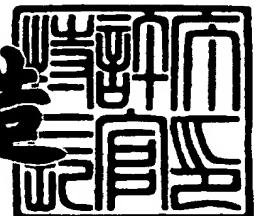
MAR 23 2001

Technology Center 2100

2000年 9月18日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3075738

【書類名】 特許願

【整理番号】 33509656

【提出日】 平成11年12月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 1/07

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 末村 剛彦

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 交換装置とスクランブル方法

【特許請求の範囲】

【請求項1】 それぞれが入力信号の一部または全体をスクランブルしたフレームを出力するスクランブラを有する複数の入力インタフェースと、前記複数の入力インタフェースが出力したフレームをフレーム毎に交換して出力するスイッチと、それぞれが前記スイッチの出力したフレームを受信しその一部または全体をデスクランブルするデスクランブラを有する複数の出力インタフェースとを具備する交換装置のスクランブル方法において、

前記複数の入力インタフェースのスクランブラ全部を同時にリセットし、かつ、前記複数の出力インタフェースのデスクランブラ全部を同時にリセットすることを特徴とする交換装置のスクランブル方法。

【請求項2】 スクランブラ及びデスクランブラがフレーム同期型である請求項1に記載の交換装置のスクランブル方法。

【請求項3】 スクランブルに用いるパターンの周期をフレームの長さより長くする請求項1または請求項2に記載の交換装置のスクランブル方法。

【請求項4】 それぞれが入力信号の一部または全体をスクランブルしたフレームを出力するスクランブラを有する複数の入力インタフェースと、前記複数の入力インタフェースが出力したフレームをフレーム毎に交換して出力するスイッチと、それぞれが前記スイッチの出力したフレームを受信しその一部または全体をデスクランブルするデスクランブラを有する複数の出力インタフェースとを具備する交換装置において、

スクランブラリセットパルスとデスクランブラリセットパルスとを生成し、前記スクランブラリセットパルスを前記複数のスクランブラ全部に等しいタイミングで送り、前記デスクランブラリセットパルスを前記複数のデスクランブラ全部に等しいタイミングで送るリセットパルス生成回路とを具備することを特徴とする交換装置。

【請求項5】 それぞれが入力信号の一部または全体をスクランブルしたフレームを出力するスクランブラを有する複数の入力インタフェースと、前記複数の

の入力インタフェースが出力したフレームをフレーム毎に交換して出力するスイッチと、それぞれが前記スイッチの出力したフレームを受信しその一部または全体をデスクランブルするデスクランブラを有する複数の出力インタフェースとを具備する交換装置において、

前記複数の入力インタフェース全部と、前記複数の出力インタフェース全部とにそれぞれ等しいタイミングで与えられるスクランブラ状態信号を生成するスクランブラ状態信号生成回路とを具備することを特徴とする交換装置。

【請求項 6】 スクランブラを用いて、入力信号の一部または全体をスクランブルしたフレームを出力する入力インタフェースと、前記入力インタフェースが出力したフレームをフレーム毎に交換して出力するスイッチと、前記スイッチが出力したフレームを受信しその一部または全体をデスクランブラを用いてデスクランブルする出力インタフェースとを具備する交換装置において、

前記入力インタフェースは前記スクランブラの内部状態を示すスクランブラ状態信号をフレームに付加して送信し、前記出力インタフェースは前記スクランブラ状態信号を前記デスクランブラの内部にとりこむことを特徴とする交換装置。

【請求項 7】 スクランブルに用いるパターンの周期がフレームの長さより長い請求項 4、請求項 5 または請求項 6 のいずれか 1 項に記載の交換装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、通信網の交換装置に関し、特に、交換装置内で転送される信号のスクランブル方式に関する。

【 0 0 0 2 】

【従来の技術】

現在の通信網は、ノードにおいて信号の交換処理を行う交換装置やノード間で信号の伝送を行う伝送装置等により構成されている。伝送装置においては、既に光伝送方式が主流となっているが、近年では、交換装置においても光信号を光スイッチにより交換する光交換方式の研究開発が盛んになっている。一般に交換装置は、信号を交換するスイッチと、このスイッチの入力ポートに接続される入力

インタフェース、スイッチの出力ポートに接続される出力インタフェース、及び、これらを制御する制御回路等とからなる。入力インタフェースと出力インタフェースにおいては、バッファリング、符号化、復号等の信号処理が行われる。光交換装置では、これらの信号処理を光信号のまま行うことも原理的には可能であるが、現状では光信号処理技術が未熟であるため、入力信号を一旦電気信号に変換してからこれらの信号処理を行うのが一般的である。

そのような光交換装置では、入力インタフェースに光送信器が、出力インタフェースには光受信器がそれぞれ搭載される。光交換装置により交換される光信号のビットレートは、一般に 1Gb/s 以上であり、そのような高ビットレートの光信号を受信する光受信器には AC 結合型の電気回路が用いられることが多いので、光信号のマーク率を平均で 0.5 前後にする必要がある。また、光受信器は、光信号からクロックを抽出することにより、入力インタフェースに従属同期動作するのが一般的であるが、安定なクロック抽出を行うためには、光信号における 0、1 間の遷移が十分に高い頻度で行われる必要がある。

【0003】

以上の2つの理由により、光交換装置においては光信号に対して何らかの伝送路符号化を行うことが多い。このような光交換装置の例として、1999年6月、末村他、信学技報OCS 99-23(1999-6)、15~20頁には 2.56Tb/s の交換容量を持つ光パケット交換装置が開示されている。

【0004】

この光パケット交換装置は、図26に示すように、1つ以上のバッファメモリ1及び入力インタフェース (IINF) 2と、1つの光スイッチ3と、1つ以上の出力インタフェース (OINF) 4及びエラスティックメモリ5と、1つの競合調停回路 (ARBITER) 6とからなる。

【0005】

図27は、フレーム構成を示す図である。各フレームは、プリアンプル10、フレーム同期パターン11、ペイロード12、及びCRC13からなる。

【0006】

バッファメモリ1に入力された電気信号のパケットは、競合調停回路6により

出力先の競合を調停された後、入力インタフェース 2 において光スイッチ内フレーム（以後、単にフレームと呼ぶ）のペイロードに収容され、光信号に変換されて光スイッチ 3 に入力される。光スイッチ 3 は、競合調停回路 6 の制御に従ってフレーム毎に交換を行う。出力インタフェース 4 は、受信した光信号を電気信号に変換した後、フレームからパケットを取り出す。

【 0 0 0 7 】

ここで、入力インタフェース 2 は、装置全体に分配されるシステムクロックに同期して動作するが、出力インタフェース 4 は、光信号から抽出したクロックに同期して動作する。つまり、出力インタフェース 4 のクロックは、入力インタフェース 2 から出力インタフェース 4 までの経路長分だけシステムクロックを遅延したものになり、その位相はシステムクロックの位相とは必ずしも等しくない。そこで、出力インタフェース 4 から出力されるパケットは、エラスティックメモリ 5 において出力インタフェース 4 のクロックからシステムクロックに乗り換える。

【 0 0 0 8 】

また、光交換装置では、光スイッチの切替の際に光信号が瞬間的に断状態になり、その部分のビットが失われる。そこで、一般にフレームとフレームの境界にガードタイムと呼ばれる一定時間の領域を設け、このガードタイムにおいて光スイッチの切替が行われるようにされている。このような光交換装置の例としては、例えば特開昭 6 0 - 1 3 7 1 9 8 号公報等に関示されたものがある。

【 0 0 0 9 】

また、出力インタフェース 4 が受信するフレームの送信元は、光スイッチが切り換えられる度に異なり、しかも各々の入力インタフェース 2 から光スイッチ 3 までの経路長が完全に等しいとは限らないので、光スイッチを切り換える度に、出力インタフェース 4 で受信するフレームのビット位相、フレーム位相が変化する可能性がある。そのため、出力インタフェース 4 では、フレーム毎にビット同期、フレーム同期を取り直す必要がある。ビット同期が取れるまでに受信されたビットには誤りが混入されている可能性が高いので、フレームの先頭にはビット同期パターンを付加する必要がある。図 2 7 のプリアンプル 1 0 は、ガードタイ

ムとビット同期パターンとを兼ねるものである。フレーム同期は、フレーム同期パターン 1 1 を検索することにより実現される。

【0 0 1 0】

CRC 1 3 は、入力インタフェース 2 においてペイロード 1 2 に対する巡回冗長検査符号として計算されたものであり、出力インタフェース 4 でも同じ計算を行って、その結果を CRC 1 3 と比較することによりペイロード 1 2 の誤りを検出することが出来る。

【0 0 1 1】

これらの領域のうち、ペイロード 1 2 と CRC 1 3 に対しては、伝送路符号化としてスクランブルと 1 6 B I C 符号化が行われる。

【0 0 1 2】

スクランブルは、一般に盗聴防止のため、あるいは、一定の信号パターンが連続すると受信クロックが不安定になったり、漏話や雑音発生等の原因となるので、これを防止するために、入力インタフェース 2 のスクランブラにおいて一定の規則でデータを加工して位相変化をランダム化するもので、生成多項式が、例えば、 $1 + X^6 + X^7$ である疑似ランダムパターンと、ペイロード 1 2 及び CRC 1 3 との排他的論理和を演算することにより実行される。スクランブラは、ペイロード 1 2 の先頭においてリセットされる。スクランブルを行うことにより、ペイロード 1 2 と CRC 1 3 のビット列がランダム化される。

【0 0 1 3】

1 6 B I C 符号化は、入力インタフェース 2 の符号化回路において 1 6 ビット毎に第 1 6 ビットの反転ビットを挿入することにより行われる。これによりペイロード 1 2 と CRC 1 3 の同符号連続の長さが最大 1 7 ビットに制限される。

【0 0 1 4】

出力インタフェース 4 では、1 6 B I C 符号の復号とデスクランブルを行う。すなわち、ペイロード 1 2 及び CRC 1 3 から 1 7 ビット毎に最後の 1 ビットを削除し、さらに、生成多項式が $1 + X^6 + X^7$ である疑似ランダムパターンとの排他的論理和を演算する。これらの処理は、フレーム同期後に行われ、また、デスクランブラがペイロード 1 2 の先頭においてリセットされるので、復号とデス

クランブルを行った後のペイロード 1 2 及び CRC 1 3 は、入力インタフェース 2 で符号化及びスクランブルを行う前のペイロード 1 2 及び CRC 1 3 に等しくなる。このように、スクランブラ／デスクランブラがフレームの特定の位置でリセットされ、フレーム同期によりスクランブラ／デスクランブラの同期を実現する方式をフレーム同期型スクランブルと呼ぶ。

【0 0 1 5】

【発明が解決しようとする課題】

フレーム同期型スクランブルを採用した場合、スクランブルに使用されるビット列は、フレームに対して固定される。つまり、どのフレームも全く同じビット列によりスクランブルされることになる。また、生成多項式の次数が比較的小さい、すなわち、パターン長の短い疑似ランダムパターンをスクランブルに用いた場合は、スクランブルに用いるビット列が比較的短い周期の繰り返しパターンとなる。そのようなスクランブル方式を採用した通信システムは、ある顧客が送出したビット列がスクランブルの結果どのようなビット列に変換されるかを予測することが容易であり、その結果、悪意のある第三者による攻撃を受け易い。

【0 0 1 6】

このような問題は、James Manchester et al., "IP over SONET", IEEE Communication Magazine, May 1998, pp. 136-142 に述べられている。この文献によると、IP パケットを SONET のフレームに収容して伝送する IP over SONET 方式の問題点が指摘されている。SONET では、生成多項式が $1 + X^6 + X^7$ であるフレーム同期型スクランブルが採用されている。元々、SONET は、バイト多重された信号を伝送することを前提として設計されており、バイト多重された信号では、1 人の顧客が送出したビット列が連続した複数バイトにまたがることは無い。しかし、IP over SONET 方式では、IP パケットがバイト多重されないまま SONET のフレームに収容される。

【0 0 1 7】

そのため、1 人の顧客が送出したビット列が SONET フレーム内の連続した複数バイトにまたがることになる。ここで、もし、そのビット列とスクランブラが使用するビット列とが同一であるとする、そのビット列はスクランブルの結果、0

の連続に変換される。このようにして生じた複数バイトに渡る同符号の連続は、光受信器におけるクロック抽出に支障を来したり、ビット誤りを発生させたりする。悪意ある第三者にとって、意図的にこのような攻撃を行うことは比較的容易である。

【 0 0 1 8 】

SONETのスクランブル方式で採用されている生成多項式は、 $1 + X^6 + X^7$ の疑似ランダムパターンで、その長さは127ビットである。従って、顧客には自分が送出したIPパケットがSONETフレームのどこに位置するか分からないとしても、生成多項式が $1 + X^6 + X^7$ の疑似ランダムパターンをIPパケットに乗せて送出し続けていけば、 $1/127$ の確率でSONETのスクランブラと同期し、同符号連続を生じさせることが出来る。

【 0 0 1 9 】

前述の末村らの光交換装置でも同様の問題が生じる。末村らの光交換装置では、スクランブルと16BIC符号を組合せた伝送路符号化方式を採用しているので、17ビット以上の同符号連続が生じることはないが、マーク率が最悪の場合 $1/17$ あるいは $16/17$ となり、光受信器でのクロック抽出が不安定になったり、ビット誤りが生じる可能性がある。

【 0 0 2 0 】

Manchesterらは、この問題を解決するための手段として、従来のSONETのスクランブルに加えて、生成多項式が $1 + X^{43}$ である疑似ランダムパターンを用いた自己同期型スクランブルを併用する方式を示している。生成多項式が $1 + X^{43}$ である疑似ランダムパターンの長さは、8, 796, 093, 022, 207 ($= 2^{43} - 1$) ビットである。自己同期型のスクランブラは、フレームの特定の位置でリセットされず、複数フレームにまたがって連続的にスクランブルを行う。デスクランブラは、同期のために最低43ビットを要するが、一旦同期すればスクランブラと同様に複数フレームにまたがって連続的にデスクランブルを行うことにより同期を保つことが出来る。この方式では、第三者が送出したビット列が2つのスクランブラと同期する確率が 9×10^{-16} となり、ほとんど無視することが出来る。

【 0 0 2 1 】

しかし、この方式をそのまま光交換装置に適用することは出来ない。自己同期型スクランブルでは、スクランブラ、デスクランブラの内部状態、すなわち、レジスタに保持されるビット列の値が過去に入力されたビット列により異なる。先に述べたように、光交換装置では、光スイッチが切り換えられる度に出力インタフェースの受信するフレームの送信元が異なるので、交換を行うとスクランブラとデスクランブラとの間の同期が外れることになる。また、フレーム同期型スクランブラを用いたとしても、スクランブラ及びデスクランブラをフレーム毎にリセットせずに連続動作させた場合は、全ての入力インタフェースのスクランブラが同期して動作している保証はないので、光スイッチを切り換える度にスクランブラとデスクランブラとの間の同期が外れる可能性がある。

【 0 0 2 2 】

これは交換装置に特有の問題で、前述のManchesterらの方式を含めて、1対1の伝送装置向けに考えられた同期方式によっては解決することが出来ない問題である。また、ここまでは光交換装置を例に挙げて説明してきたが、この問題は必ずしも光交換装置のみに特有ではなく、電気方式でも何らかの理由で装置内の信号にスクランブルが適用される交換装置では全く同様の問題が生じる。

【 0 0 2 3 】

本発明の目的は、上述の課題を解決し、交換装置の内部信号にスクランブルを適用する場合に、フレーム毎にスクランブラとデスクランブラをリセットしなくともスクランブラとデスクランブラの同期を実現できる交換装置のスクランブル方法とその装置を提供することにある。

【 0 0 2 4 】

【課題を解決するための手段】

本発明の交換装置のスクランブル方法は、複数の入力インタフェースのスクランブラ全部を同時にリセットし、かつ、複数の出力インタフェースのデスクランブラ全部を同時にリセットすることを特徴とする。

【 0 0 2 5 】

また、本発明の交換装置のスクランブル方法は、フレーム同期型のスクランブル方式への適用を対象とするが、自己同期型のスクランブル方式にも適用可能で

ある。

【 0 0 2 6 】

また、スクランブルに用いるパターンの周は、フレームの長さより長くすることができる。

【 0 0 2 7 】

本発明の第 1 の交換装置は、スクランブラリセットパルスとデスクランブラリセットパルスとを生成して、そのスクランブラリセットパルスを複数のスクランブラ全部に等しいタイミングで送り、デスクランブラリセットパルスを複数のデスクランブラ全部に等しいタイミングで送るリセットパルス生成回路とを具備し、複数の入力インタフェースのスクランブラ全部を同時にリセットし、かつ、複数の出力インタフェースのデスクランブラ全部を同時にリセットする。

【 0 0 2 8 】

本発明の第 2 の交換装置は、複数の入力インタフェース全部と、複数の出力インタフェース全部とに、それぞれ等しいタイミングで与えられるスクランブラ状態信号を生成するスクランブラ状態信号生成回路を具備して、複数の入力インタフェースのスクランブラ全部を同時にリセットし、かつ、複数の出力インタフェースのデスクランブラ全部を同時にリセットする。

【 0 0 2 9 】

本発明の第 3 の交換装置は、入力インタフェースがスクランブラの内部状態を示すスクランブラ状態信号をフレームに付加して送信し、出力インタフェースがスクランブラ状態信号をデスクランブラの内部にとりこむことにより、複数の入力インタフェースのスクランブラ全部を同時にリセットし、かつ、複数の出力インタフェースのデスクランブラ全部を同時にリセットする。

【 0 0 3 0 】

また、前述のいずれかの交換装置において、スクランブルに用いるパターンの周期をフレームの長さより長くすることができる。

【 0 0 3 1 】

【発明の実施の形態】

次に、本発明の実施の形態を図面を参照して説明する。図 1 は、本発明の実施

の形態を示す第1実施例の構成図、図2は第1実施例で用いられるフレーム構成図である。この第1実施例は、4×4の光パケット交換装置で、図1に示すように、バッファメモリ1（1-0～1-3）、入力インタフェース2（2-0～2-3）、光スイッチ3、出力インタフェース4（4-0～4-3）、競合調停回路6、及びリセット回路7を有する。

【0032】

また、フレームは、16ビットのプリアンプル10、16ビットのフレーム同期パターン11、512ビットのペイロード12、及び16ビットの巡回冗長検査符号CRC13からなる。

【0033】

図1において、バッファメモリ1、入力インタフェース2、出力インタフェース4、競合調停回路6、及びリセット回路7にはクロック源（図示せず）よりシステムクロックが分配されている。光パケット交換装置に入力された電気信号のパケットは、バッファメモリ1（1-0～1-3）に保持される。各バッファメモリ1は、調停線20（20-0～20-3）によりパケットの出力先を競合調停回路6に伝え、出力先が競合した場合は、競合調停回路6により調停が行われる。調停の結果定められた各パケットの送出タイミングは、調停線20により各バッファメモリ1に返される。各バッファメモリ1から出力されたパケットは、各入力インタフェース2（2-0～2-3）において図2に示すフレームのペイロード12に收容され、光信号に変換されて光ファイバ60（60-0～60-3）を経て光スイッチ3に入力される。

【0034】

光スイッチ3は、4×4の光クロスバスイッチで、競合調停回路6の制御に従いフレーム毎に交換を行う。光スイッチ3の切り換えはフレームのプリアンプル10が光スイッチ3を通過する時間内に行われる。光スイッチ3から出力された光信号は光ファイバ61（61-0～61-3）を経て出力インタフェース4（4-0～4-3）に入力される。各出力インタフェース4は、受信した光信号を電気信号に変換した後、フレームからパケットを取り出す。

【0035】

図3は、入力インタフェース2の構成図、図4は、各入力インタフェース2及び出力インタフェース4の動作を示すタイミングチャートであり、図4中のA, B, C, D, Eは、それぞれ図3中のA, B, C, D, E点におけるデータとフレームパルスを示している。

【0036】

入力インタフェース2は、図3に示すように、CRC付加回路30、スクランブラ31、フレーム同期パターン付加回路32、プリアンプル付加回路33、マルチプレクサ34、及び光送信器35からなり、入力インタフェース2の全てのブロックは、クロック線28により分配された150MHzのシステムクロックに同期して動作する。

【0037】

データ線23は、16ビット並列となっているので、64バイトのパケットは32クロック周期で入力インタフェース2に入力される。パケットとパケットの隙間の部分は全て“0”とする。パケットはそのままフレームのペイロード12となる。パケットと並行してフレームパルスがフレームパルス線24上を伝搬する。フレームパルスは、ペイロード12の先頭の2クロック周期前に“1”となり、それ以外では“0”となる。

【0038】

CRC付加回路30において、ペイロード12に対して生成多項式が $1 + X^5 + X^{12} + X^{16}$ である16ビットの巡回冗長検査符号が計算され、CRC13としてペイロード12の末尾に付加される。ペイロード12とCRC13はスクランブラ31においてスクランブルされる。図4のC, D, Eにおいて斜線を施した部分はスクランブルされていることを示す。

【0039】

図5は、スクランブラ31の構成を示す図である。図5において、このスクランブラ31は、16個の入力ポート50（50-1～50-15）と、43個のフリップフロップF0～F42から成るレジスタ51と、疑似ランダムパターンを生成する組合せ論理回路52と、疑似ランダムパターンと入力データとの排他的論理和を演算する16個のXOR回路53（53-0～53-15）と、16

個の出力ポート 5 4 (5 4 - 0 ~ 5 4 - 1 5) と、フレームパルス線 5 5 上のフレームパルスとリセット線 2 2 上のリセット信号の論理積を出力する AND 回路 5 6 とからなる。

【0 0 4 0】

このスクランブラ 3 1 は、生成多項式が $1 + X^{43}$ であるフレーム同期型スクランブラを 1 6 ビット並列で構成したものであり、レジスタ 5 1 上で生成された疑似ランダムパターンと入力ポート 5 0 から入力されたデータとの排他的論理和を XOR 回路 5 3 により演算し、出力ポート 5 4 から出力する。疑似ランダムパターンの生成は、レジスタ 5 1 の各フリップフロップの保持する値を組合せ論理回路 5 2 によりレジスタ 5 1 自身に帰還することにより行う。組合せ論理回路 5 2 の構成方法は、DooWhan Choi, "Parallel Scrambling Techniques for Digital Multiplexers", AT&T Technical Journal, Volume 65, Issue 5, pp. 123-136, 1986 に詳しく示されている。

【0 0 4 1】

フレームパルスとリセット信号が入力されて AND 回路 5 6 の出力信号が "1" になると、レジスタ 5 1 の 4 3 個のフリップフロップが全て "1" にリセットされる。リセット線 2 2 上のリセット信号が "1" になるのは、システムの起動時と、スクランブラ 3 1 または後述するデスクランブラの同期が外れた場合のみであり、従って、スクランブラ 3 1 は、システムの起動時にリセットされた後はリセットされず、フレーム間で連続的に動作する。

【0 0 4 2】

スクランブラ 3 1 から出力されたペイロード 1 2 と CRC 1 3 には、フレーム同期パターン付加回路 3 2 とプリアンプル付加回路 3 3 において、それぞれフレーム同期パターン 1 1 とプリアンプル 1 0 が付加され、フレームが完成する。

【0 0 4 3】

プリアンプル付加回路 3 3 から出力された 1 6 ビット並列のフレーム化されたデータは、マルチプレクサ 3 4 において並列／直列変換され、ビットレートが 2 . 4 G b / s の直列信号になる。この直列信号は、光送信器 3 5 において 2 . 4 G b / s の光信号に変換され、入力インタフェース 2 から光スイッチ 4 に送出さ

れる。

【 0 0 4 4 】

次に、出力インタフェース 4 の構成と動作を説明する。図 6 は、出力インタフェース 4 の構成図である。図 6 において、この出力インタフェース 4 は、光受信器 4 0、多相クロック型のビット同期回路 4 1、デマルチプレクサ 4 2、フレーム同期回路 4 3、エラスティックメモリ 4 4、デスクランブラ 4 5、CRC 回路 4 6、及びクロック線 4 7、4 8、からなる。

【 0 0 4 5 】

出力インタフェース 4 の動作も図 4 中に示されており、図 4 中の F, G, H, I, J は、図 6 中のデマルチプレクサ 4 2 以降の各回路の出力点 F, G, H, I, J におけるデータとフレームパルスを示している。

【 0 0 4 6 】

光スイッチ 3 から出力インタフェース 4 に入力されたビットレート 2. 4 G b / s の光信号は、光受信器 4 0 により電気信号に変換され、ビット同期回路 4 1 に入力される。また、光受信器 4 0 は、受信した光信号から 2. 4 G H z のシリアルクロックを抽出し、これをクロック線 4 7 によりビット同期回路 4 1 とデマルチプレクサ 4 2 に与える。ビット同期回路 4 1 は、多相クロック型のビット同期回路であり、ビット同期、すなわち、入力された電気信号をシリアルクロックに同期させる動作を行う。ビット同期は、フレーム毎にプリアンプル 1 0 内で行われ、フレーム同期パターン 1 1 より後のペイロード 1 2 と CRC 1 3 のフィールドは、ビット同期が取れた状態でビット同期回路 4 1 から出力される。多相クロック型ビット同期回路の詳細については、例えば特開平 7 - 1 9 3 5 6 2 号公報等に記述されている。

【 0 0 4 7 】

ビット同期回路 4 1 から出力された直列信号は、デマルチプレクサ 4 2 により直列／並列変換され、1 6 ビット並列のデータとなる。また、デマルチプレクサ 4 2 は、クロック線 4 7 により供給された 2. 4 G H z のシリアルクロックを 1 6 分周し、1 5 0 M H z のパラレルクロックを生成してクロック線 4 8 によりフレーム同期回路 4 3 及びエラスティックメモリ 4 4 に供給する。

【 0 0 4 8 】

デマルチプレクサ 4 2 から出力されたデータは、一般にフレーム同期が取れていないので、図 4 の F に示すようにフレーム同期パターン 1 1 が 2 パラレルクロック周期にまたがっている。このデータをフレーム同期回路 4 3 に入力すると、フレーム同期回路 4 3 は、フレーム同期パターン 1 1 を検索し、検出されたフレーム同期パターン 1 1 が所定の位置に来るように、すなわち、フレーム同期パターン 1 1 が 1 パラレルクロック周期内に収まるようにしてフレーム毎にビットローテートを行う。また、フレームの先頭で “1”、それ以外の部分で “0” となるフレームパルスを生成し、ビットローテートしたデータと共に出力する。以上によりフレーム同期が実現される。

【 0 0 4 9 】

フレーム同期回路 4 3 から出力されたデータとフレームパルスは、デマルチプレクサ 4 2 が出力したパラレルクロックに同期してエラスティックメモリ 4 4 に書き込まれる。一方、エラスティックメモリ 4 4 の出力は、クロック線 2 8 により分配されたシステムクロックに同期して読み出されるので、データとフレームパルスのクロックは、光信号から抽出したシリアルクロックを分周して生成したパラレルクロックからシステムクロックにませ換えられることになる。また、これより後段のデスクランブラ 4 5 と誤り検出回路 4 6 は、システムクロックに同期して動作する。エラスティックメモリ 4 4 から出力されたデータとフレームパルスは、デスクランブラ 4 5 に入力される。

【 0 0 5 0 】

図 7 は、デスクランブラ 4 5 の構成図である。デスクランブラ 4 5 の構成は、スクランブラ 3 1 のリセット線 2 2 がデスクランブラ用のリセット線 2 7 に変わっている以外は、図 5 に示したスクランブラ 3 1 の構成に等しいので、スクランブラ 3 1 と動作の等しいブロックにはスクランブラ 3 1 と同じ符号を付した。デスクランブラ 4 5 のレジスタ 5 1 は、フレームパルスと、リセット回路 7 からリセット線 2 7 を経て入力されるリセット信号との論理積が “1” のときに、全てのフリップフロップが “1” にリセットされる。リセット線 2 7 上のリセット信号は、リセット線 2 2 上のリセット信号を遅延させたもので、その遅延量は、入

カインタフェース 2 のスクランブラ 3 1 から出力インタフェース 4 のデスクランブラ 4 5 までのデータの遅延量に相当する時間（ここでは 3 7 システムクロック周期）である。従って、デスクランブラ 4 5 もシステムの起動時に最初のフレームの先頭においてリセットされた後はリセットされず、フレーム間で連続的に動作し、その動作はスクランブラ 3 1 と完全に同期する。

【 0 0 5 1 】

以上のようにして、デスクランブラ 4 5 において、ペイロード 1 2 と CRC 1 3 がデスクランブルされる。実際には、プリアンブル 1 0 とフレーム同期パターン 1 1 はデスクランブラ 4 5 においてスクランブルされることになるが、以後、プリアンブル 1 0 とフレーム同期パターン 1 1 は不要なので、図 4 中では省略している。

【 0 0 5 2 】

デスクランブラ 4 5 から出力されたデータは、誤り検出回路 4 6 に入力される。誤り検出回路 4 6 では、ペイロード 1 2 に対して生成多項式が $1 + X^5 + X^{12} + X^{16}$ である 1 6 ビットの巡回冗長検査符号を計算し、これをフレームの CRC 1 3、すなわち、入力インタフェース 2 の CRC 付加回路 3 0 により計算された巡回冗長検査符号と比較し、一致しない場合にアラームを発出する。同時に誤り検出回路 4 6 は、プリアンブル 1 0、フレーム同期パターン 1 1、CRC 1 3 の部分を全て “0” とし、ペイロード 1 2、すなわち、パケットだけをそのまま出力する。

【 0 0 5 3 】

以上のようにして、本実施例の光パケット交換装置によるパケット交換が行われる。パケットを収容するフレームに対して行われるスクランブルは、周期が $(2^4 3 - 1)$ ビットと十分に長い疑似ランダムパターンを用いて行われ、また、スクランブラ 3 1 及びデスクランブラ 4 5 は、フレーム毎にリセットされず、連続的に動作する。従って、第三者がスクランブラ 3 1 に用いられているのと同じ疑似ランダムパターンを送出したとしても、これがスクランブラ 3 1 と同期して同符号連続を生じる可能性は $1 / (2^4 3 - 1)$ と非常に低い値となる。

【 0 0 5 4 】

また、全てのスクランブラ 3 1 及びデスクランブラ 4 5 が同期動作しており、しかも、フレーム同期型なので、レジスタ 5 1 の内容が過去に入力されたデータに依存しない。従って、フレーム毎に交換を行っても、スクランブラ 3 1 とデスクランブラ 4 5 との間の同期が保たれる。

「第 2 の実施例」

本発明の第 2 の実施例は、スクランブラ及びデスクランブラの同期方式のみが第 1 の実施例と異なる光パケット交換装置である。従って、ここではスクランブラ及びデスクランブラの同期方式のみについて説明する。

【 0 0 5 5 】

図 8 は、第 2 の実施例のシステム構成図である。リセット回路 7、リセット線 2 2、2 7 の代わりにスクランブラステート生成回路 8、スクランブラステート線 7 0、7 1 が設けられている以外は第 1 の実施例と同じ構成である。

【 0 0 5 6 】

図 9 は、スクランブラステート生成回路 8 の構成図、図 1 0 は、スクランブラステート生成回路 8 の動作を示すタイミングチャートである。

【 0 0 5 7 】

スクランブラステート生成回路 8 は、図 9 に示すように、レジスタ 5 1、組合せ論理回路 5 2、フレームパルス生成回路 5 7、レジスタ 5 8、及び遅延回路 5 9 からなる。

【 0 0 5 8 】

スクランブラステート生成回路 8 にはシステムクロックが分配されており、レジスタ 5 1、レジスタ 5 8、及びフレームパルス生成回路 5 7 はシステムクロックに同期して動作する。レジスタ 5 1 及び組合せ論理回路 5 2 の構成と動作は、第 1 実施例のスクランブラ 3 1 のレジスタ 5 1 及び組合せ論理回路 5 2 の構成、動作に等しい。すなわち、レジスタ 5 1 では、スクランブラ 3 1、デスクランブラ 4 5 で用いるのと同じ疑似ランダムパターンが生成される。フレームパルス生成回路 5 7 は、周期が 3 5 システムクロック周期に等しいフレームパルスを生成し、これをレジスタ 5 8 に与える。レジスタ 5 8 は、フレームパルスが “1” であるときにレジスタ 5 1 の出力を取り込み、フレームパルスが “0” のときは直

前の値を保持する。その結果、スクランブラステート線 70 上には、1 フレーム周期毎にレジスタ 51 の内容が出力される。また、レジスタ 58 の出力は、遅延回路 59 により 37 システムクロック周期遅延される。この遅延量は入力インタフェース 2 のスクランブラ 31 から出力インタフェース 4 のデスクランブラ 45 までのデータの遅延量（37 システムクロック周期）にほぼ等しい。従って、スクランブラステート線 71 上にはスクランブラステート線 70 上の信号を 37 システムクロック周期遅延した信号が出力される。以後、スクランブラステート線 70、71 上の信号をスクランブラステートと呼ぶ。

【0059】

図 11 は、入力インタフェース 2 の構成図である。本実施例の入力インタフェース 2 の構成及び動作は、スクランブラ 31 の構成が異なることと、リセット線 22 がスクランブラステート線 70 に代わっていることとを除いて第 1 の実施例の入力インタフェース 2 の構成及び動作と同じである。

【0060】

図 12 は、スクランブラ 31 の構成図、図 13 は、スクランブラ 31 の動作を示すタイミングチャートである。

【0061】

組合せ論理回路 52 の構成は、第 1 の実施例のスクランブラ 31 の組合せ論理回路 52 と等しいので、本実施例のスクランブラ 31 が発生する疑似ランダムパターンは、第 1 実施例のスクランブラ 31 のそれと等しい。本実施例のスクランブラ 31 では、スクランブラステート線 70 がレジスタ 51 に接続されており、フレームパルス線 55 によって入力されるフレームパルスが“1”のときスクランブラステートがレジスタ 51 に読み込まれる。その結果、スクランブラ 31 は、スクランブラステート生成回路 8 と同期して動作することになる。全ての入力インタフェース 2（2-0～2-3）のスクランブラ 31 がスクランブラステート生成回路 8 と同期して動作することにより、全ての入力インタフェース 2 のスクランブラ 31 同士も同期している。もしも何らかの原因で、あるスクランブラ 31 とスクランブラステート生成回路 8 との同期が外れたとしても、次にフレームパルスが“1”になるときに同期状態に復帰する。

【 0 0 6 2 】

図 1 4 は、出力インタフェース 4 の構成図である。本実施例の出力インタフェース 4 の構成及び動作は、デスクランブラ 4 5 の構成が異なることと、リセット線 2 7 がスクランブラステート線 7 1 に変わっていることとを除いて、図 6 の第 1 の実施例の出力インタフェース 4 の構成及び動作と同じである。

【 0 0 6 3 】

図 1 5 は、デスクランブラ 4 5 の構成図である。デスクランブラ 4 5 の構成は、スクランブラ 3 1 のスクランブラステート線 7 0 がスクランブラステート線 7 1 に変わっている以外は、スクランブラ 3 1 の構成に全く等しく、デスクランブラ 4 5 もスクランブラステート生成回路 8 と同期して動作する。スクランブラステート線 7 1 上のスクランブラステートは、スクランブラステート線 7 0 上のスクランブラステートを 3 7 システムクロック周期だけ遅延させたものであり、デスクランブラ 4 5 に入力されるフレームパルスがスクランブラ 3 1 に入力されるフレームパルスより 3 7 システムクロック周期遅れているので、デスクランブラ 4 5 の動作は、スクランブラ 3 1 の動作を 3 7 システムクロック周期遅らせたものに他ならない。ここでいう 3 7 システムクロック周期とは、入力インタフェース 2 のスクランブラ 3 1 から出力インタフェース 4 のデスクランブラ 4 5 までのデータの遅延量なので、ある入力インタフェース 2 からある出力インタフェース 4 にフレームを送った場合、そのフレームに対するスクランブラ 3 1 の動作とデスクランブラ 4 5 の動作は等しい。つまり、デスクランブラ 4 5 がスクランブラステート生成回路 8 と同期して動作する結果、デスクランブラ 4 5 とスクランブラ 3 1 との間の同期も確立されることになる。もしも何らかの原因で、あるデスクランブラ 4 5 とスクランブラステート生成回路 8 との同期が外れたとしても、次にフレームパルスが “ 1 ” になるとときには同期状態に復帰する。

【 0 0 6 4 】

以上のようにして、本実施例によっても全ての入力インタフェースのスクランブラ 3 1 及び全ての出力インタフェースのデスクランブラ 4 5 の同期を実現することが出来る。第 1 の実施例と同様に、スクランブラ 3 1 及びデスクランブラ 4 5 はフレーム同期型なので、フレーム毎に交換を行ってもスクランブラ 3 1 とデ

スクランブラ 4 5 との間の同期が保たれる。

【 0 0 6 5 】

第 1 の実施例では、何らかの理由であるスクランブラ 3 1 またはデスクランブラ 4 5 の同期が外れた場合、何らかの方法で同期外れを検出した後に全てのスクランブラ 3 1 及びデスクランブラ 4 5 をリセットする必要があった。そのため、同期状態に復帰するまでに時間が掛かるという問題があった。

【 0 0 6 6 】

このような場合の別の手段として、ある周期でスクランブラ 3 1 及びデスクランブラ 4 5 をリセットすることにより自動的に同期状態に復帰させることも可能である。しかし、同期の復帰に要する時間を短くするにはリセットを行う周期を短くする必要がある、それではスクランブルに用いるパターンの周期を長くした意味が無くなってしまう。それに対して、この第 2 の実施例では、スクランブラ 3 1 及びデスクランブラ 4 5 にスクランブラステートを読み込ませて同期を取り直しても、同期している他のスクランブラ 3 1 及びデスクランブラ 4 5 の動作には全く影響が無く、同期が外れたスクランブラ 3 1 またはデスクランブラ 4 5 のみが自動的に同期状態に復帰する。従って、短い周期でスクランブラ及びデスクランブラの同期を取り直しても悪意ある第三者の攻撃に対する耐力が損なわれない。すなわち、本実施例は、スクランブラまたはデスクランブラの同期が外れた場合に同期の復帰時間が短いという長所を有する。

【 0 0 6 7 】

この第 2 実施例のように、スクランブラ 3 1 及びデスクランブラ 4 5 が 1 フレーム毎にスクランブラステートを読み込むようにすれば、同期が外れたフレームの次のフレームでは同期状態に復帰することが出来る。スクランブラ 3 1 及びデスクランブラ 4 5 がスクランブラステートを読み込む周期をさらに短くすれば、同期の復帰に要する時間をさらに短縮することも可能である。

【 0 0 6 8 】

この第 2 の実施例では、スクランブラ 3 1 及びデスクランブラ 4 5 が 1 フレーム毎にスクランブラステートを読み込むとしたが、スクランブラステートを読み込む周期は、1 フレーム毎とは限らず、任意に選択することが出来る。

「第 3 の実施例」

図 1 6 は、本発明の第 3 の実施例の構成図であり、図 1 7 は、そのフレーム構成を示す図である。第 3 の実施例も第 1、第 2 の実施例と同じく 4 × 4 の光パケット交換機であるが、リセット回路 7 やスクランブルステート生成回路 8 を備えていない点が第 1、第 2 の実施例とは異なっている。また、フレーム構成においては、4 3 ビットのスクランブルステート 1 4 と、5 ビットのダミーパターン 1 5 とが追加されている点が第 1、第 2 の実施例と異なる。

【0 0 6 9】

バッファメモリ 1、入力インタフェース 2、出力インタフェース 4、競合調停回路 6 には、クロック源（図示せず）よりシステムクロックが分配されている。光パケット交換装置に入力された電気信号のパケットは、バッファメモリ 1（1 - 0 ~ 1 - 3）に保持される。各バッファメモリ 1 - 0 ~ 1 - 3 は、調停線 2 0（2 0 - 0 ~ 2 0 - 3）によりパケットの出力先を競合調停回路 6 に伝え、出力先が競合した場合は、競合調停回路 6 により調停が行われる。調停の結果、定められた各パケットの送出タイミングは、調停線 2 0 により各バッファメモリ 1 に返される。各バッファメモリ 1 から出力されたパケットは、入力インタフェース 2（2 - 0 ~ 2 - 3）においてフレームのペイロード 1 2 に収容され、光信号に変換されて光ファイバ 6 0（6 0 - 0 ~ 6 0 - 3）を経て光スイッチ 3 に入力される。

【0 0 7 0】

光スイッチ 3 は、4 × 4 の光クロスバスイッチで、競合調停回路 6 の制御に従いフレーム毎に交換を行う。光スイッチ 3 の切り換えは、フレームのプリアンプル 1 0 が光スイッチ 3 を通過する時間内に行われる。光スイッチ 3 から出力された光信号は、光ファイバ 6 1（6 1 - 0 ~ 6 1 - 3）を経てそれぞれ出力インタフェース 4（4 - 0 ~ 4 - 3）に入力される。各出力インタフェース 4 は、受信した光信号を電気信号に変換した後、フレームからパケットを取り出す。

【0 0 7 1】

図 1 8 は、入力インタフェース 2 の構成図、図 1 9 は、入力インタフェース 2 の動作を示すタイミングチャートである。図 1 9 中の A, B, C, D, E は、それぞ

れ図 18 中の A, B, C, D, E におけるデータとフレームパルスを示している。入力インタフェース 2 の誤り検出回路 30 から光り送信器 35 までの全てのブロックは、クロック線 28 により分配された 150MHz のシステムクロックに同期して動作する。データ線 23 は 16 ビット並列となっているので、64 バイトのパケットは 32 システムクロック周期で入力インタフェース 2 に入力される。パケットとパケットの隙間の部分は全て “0” となっている。パケットはそのままフレームのペイロード 12 となる。パケットと並行してフレームパルスがフレームパルス線 24 上を伝搬する。フレームパルスは、ペイロード 12 の先頭の 5 システムクロック周期前に “1” となり、それ以外では “0” となる。CRC 付加回路 30 において、ペイロード 12 に対して生成多項式が $1 + X^5 + X^{12} + X^{16}$ である 16 ビットの巡回冗長検査符号が計算され、CRC 13 としてペイロード 12 の末尾に付加される。スクランブラ 31 では、ペイロード 12 と CRC 13 がスクランブルされ、ペイロード 12 の前にスクランブラステート 14 とダミーパターン 15 とが付加される。図 19 の C, D, E において斜線を施した部分は、スクランブルされていることを示す。フレーム同期パターン付加回路 32 とプリアンプル付加回路 33 においては、スクランブラステート 14 の前にそれぞれフレーム同期パターン 11 とプリアンプル 10 が付加され、フレームが完成する。プリアンプル付加回路 33 から出力された 16 ビット並列のフレーム化されたデータは、マルチプレクサ 34 において並列／直列変換され、ビットレートが 2.4Gb/s の直列電気信号になる。この直列電気信号は、光送信器 35 において 2.4Gb/s の光信号に変換され、入力インタフェース 2 から光スイッチ 3 に送出される。

【0072】

ここで、第 3 実施例のスクランブラ 31 の動作を詳細に説明する。図 20 は、スクランブラ 31 の構成図であり、図 21 は、スクランブラ 31 の動作を示すタイミングチャートである。本実施例のスクランブラ 31 は、第 1 実施例のスクランブラ 31 にスクランブラステート 14 及びダミーパターン 15 を付加する機構を追加したものであり、レジスタ 51、組合せ論理回路 52、XOR 回路 53 の構成及び動作は、第 1 の実施例のスクランブラ 31 に等しい。

【0073】

第3実施例のスクランブラ31では、レジスタ51の出力がレジスタ87に入力され、レジスタ87の出力がレジスタ88に入力される。ここで、ペイロード12の先頭におけるレジスタ51の内容をスクランブラステート14と定義し、スクランブラステート14の最下位ビットをS0、最上位ビットをS42とする。このスクランブラステート14は、S0～S15がセレクタ84の第0入力ポートに直接入力され、S16～S31がレジスタ87によって1システムクロック周期遅延されてセレクタ84の第1入力ポートに入力され、S32～S42がレジスタ88によりさらに1システムクロック周期遅延されてセレクタ84の第2入力ポートに入力される。セレクタ84の第3入力ポートには、遅延回路89により3システムクロック周期遅延されたデータが入力される。セレクタ84は、16ビット並列の4×1セレクタなので、第2入力ポートに生じる5ビット幅の余り部分にはダミーパターン15が入力される。本実施例では、ダミーパターン15は全て“0”とする。カウンタ85はフレームパルスによりリセットされ、システムクロックに同期してカウントアップする。論理回路86は、セレクタ84の制御信号を出力する回路であり、カウンタ85の出力が1、2、3のときはそれぞれ0、1、2を出力し、それ以外のときは3を出力する。セレクタ84は、セレクタ制御信号が0、1、2、3のとき、それぞれ第0入力ポート、第1入力ポート、第2入力ポート、第3入力ポートに入力された信号を出力する。

【0074】

以上のような構成をとることにより、スクランブラ31の出力ポート54から出力されるデータは、スクランブルされたペイロード12とCRC13の前に、スクランブラステート14とダミーパターン15とが付加されている。

【0075】

次に、第3実施例の出力インタフェース4の構成と動作を説明する。図22は出力インタフェース4の構成図、図23は出力インタフェース4の動作を示すタイミングチャートである。

【0076】

図23のF、G、H、I、Jは、図22中のF、G、H、I、Jにおけるデー

タとフレームパルスを示している。本実施例の光受信器 4 0、ビット同期回路 4 1、デマルチプレクサ 4 2、フレーム同期回路 4 3、エラスティックメモリ 4 4 の構成及び動作は、第 1 の実施例におけるそれぞれの構成及び動作に等しいので、ここでは説明を省略する。

【 0 0 7 7 】

図 2 4 は、デスクランブラ 4 5 の構成図、図 2 5 は、デスクランブラ 4 5 の動作を示すタイミングチャートである。本実施例のデスクランブラ 4 5 のレジスタ 5 1 と論理回路 5 2 の構成及び動作は、第 1、第 2 の実施例のデスクランブラ 4 5 に等しい。この第 3 の実施例では、フレームに含まれているスクランブラステート 1 4 をレジスタ 5 1 に取り込む機構が設けられている点が第 1、第 2 の実施例と異なる。

【 0 0 7 8 】

入力ポート 5 0 (5 0 - 0 ~ 5 0 - 1 5) から入力されたデータは、先ずレジスタ 8 0 に格納され、次にその 1 システムクロック周期後にレジスタ 8 1 に、さらにその 1 システムクロック周期後にレジスタ 8 2 に、それぞれ 1 システムクロック周期ずつ遅らせて格納される。一方、フレームパルス線 5 5 により入力されたフレームパルスは、遅延回路 8 3 により 5 システムクロック周期遅延されて出力される。遅延回路 8 3 の出力が “ 1 ” のとき、スクランブラステート 1 4 のうちの S 0 から S 1 5 がレジスタ 8 2 より、S 1 6 から S 3 1 がレジスタ 8 1 より、S 3 2 から S 4 2 がレジスタ 8 0 より、それぞれレジスタ 5 1 へ取り込まれる。これを初期値として、レジスタ 5 1 の出力によりペイロード 1 2 と CRC 1 3 とがデスクランブルされる。実際には、プリアンブル 1 0、フレーム同期パターン 1 1、スクランブラステート 1 4、及びダミーパターン 1 5 は、スクランブラ 4 5 においてスクランブルされることになるが、これらのフィールドは、以後の処理に不要なので図 2 5 中では省略している。フレームパルスは、遅延回路 9 0 により 1 システムクロック周期遅延されて出力される。

【 0 0 7 9 】

デスクランブラ 4 5 から出力されたデータとフレームパルスは、誤り検出回路 4 6 に入力される。誤り検出回路 4 6 は、第 1、第 2 の実施例と同様に誤り検出を

行うと同時に、プリアンプル 10、フレーム同期パターン 11、スクランブラステート 14、ダミーパターン 15、CRC 13 の部分を全て “0” とし、パイロード 12、すなわち、パケットだけをそのまま出力する。

【0080】

この第 3 実施例の光パケット交換装置では、以上のようにしてパケット交換が行われる。本実施例では、パケットを収容するフレームに対して行われるスクランブルは、周期が $243-1$ ビットと十分に長い疑似ランダムパターンを用いて行われ、また、スクランブラ 31 及びデスクランブラ 45 は、フレーム毎にリセットされずに連続的に動作する。従って、第三者がスクランブラ 31 に用いられているのと同じ疑似ランダムパターンを送出したとしても、これがスクランブラ 31 に同期して同符号の連続を生じる可能性は、 $1/(243-1)$ の非常に低い値となる。

【0081】

第 3 実施例では、入力インタフェース 2 のスクランブラ 31 において、パイロード 12 の先頭でのレジスタ 51 の値をスクランブラステート 14 としてフレームに付加し、出力インタフェース 4 のデスクランブラ 45 においては、フレームに付加されて送られてきたスクランブラステート 14 を初期値として、パイロード 12 と CRC 13 のデスクランブルを行う。これにより、光スイッチ 3 によりフレーム毎に交換が行われても、あるフレームを送信した入力インタフェースのスクランブラと、そのフレームを受信した出力インタフェースのデスクランブラとの間で同期が確立される。

【0082】

本実施例では、各出力インタフェース 4 (4-0~4-3) のデスクランブラ 45 がそれぞれ独立に入力インタフェースのスクランブラ 31 との同期を取るもので、あるデスクランブラ 45 の同期が外れた場合にも、他のスクランブラ 31 及びデスクランブラ 45 の動作には全く影響を与えることなく同期を復帰することが出来る。

【0083】

また、各デスクランブラ 45 は、フレーム毎に同期を取り直すので、あるフレ

ームの受信中にスクランブラとの同期が外れても、次のフレームでは同期状態に復帰することが出来る。

【 0 0 8 4 】

また、第3の実施例においてはフレーム同期型スクランブルを採用したが、自己同期型スクランブルを採用しても同様の効果が得られる。

【 0 0 8 5 】

上述の各実施例は、光パケット交換装置として説明したが、本発明は電氣的パケット信号の交換装置にも適用可能であり、また、パケットをフレームのペイロードとするパケット交換装置に限らず、フレームのペイロードがパケットでない交換装置の場合にも適用可能である。

【 0 0 8 6 】

また、本発明において、光スイッチの入力ポート及び出力ポートの数、フレーム構成、クロック周波数等は、上述の各実施例に示したものに限られず、任意に定めることが出来る。

【 0 0 8 7 】

また、本発明の交換装置のバッファ方式は、入力バッファ型のパケット交換装置に限らず、例えば出力バッファ型であっても良く、また、光バッファメモリを用いることも可能である。

【 0 0 8 8 】

また、本発明は、多相クロック型のビット同期回路以外のビット同期方式に適用することもできる。例えば、PLL回路、タンク回路等を適用することもできるし、シリアルクロックを分配したり、信号の経路長を調節することにより、ビット同期を実現することも可能である。

【 0 0 8 9 】

また、本発明においては、エラスティックメモリ 4 4 やCRC付加回路 3 0、誤り検出回路 4 6 は、必ずしも必要としない。

【 0 0 9 0 】

また、本発明においては、スクランブルに用いるパターンの生成多項式を任意に選択することが出来る。

【 0 0 9 1 】

【発明の効果】

以上説明したように、本発明の交換装置のスクランブル方法は、全てのスクランブラと全てのデスクランブラをそれぞれ同時にリセットすることにより、スクランブラ及びデスクランブラをフレーム毎にリセットしなくてもスクランブラとデスクランブラの間での同期を実現することが出来る効果がある。

【 0 0 9 2 】

また、スクランブルに用いるパターンの周期をフレームの長さより長くし、かつ、スクランブラ及びデスクランブラをフレーム毎にリセットしないことにより、スクランブラと同期して同符号連続が発生するような妨害的なパターンの混入を防止することができる。

【 0 0 9 3 】

スクランブラ及びデスクランブラが1フレーム毎にスクランブラステートを読み込むようにすれば、同期が外れたフレームの次のフレームでは同期状態に復帰することが出来る。スクランブラ及びデスクランブラがスクランブラステートを読み込む周期をさらに短くすれば、同期の復帰に要する時間をさらに短縮することも可能である。

【 0 0 9 4 】

また、入力インタフェースがスクランブラの内部状態を示すスクランブラ状態信号をフレームに付加して送信し、出力インタフェースがスクランブラ状態信号をデスクランブラの内部に取り込むことにより、あるスクランブラまたはデスクランブラの同期が外れた場合でも、他のスクランブラやデスクランブラの動作に全く影響を与えずに同期状態に復帰することが出来る。従って、スクランブラやデスクランブラの同期の取り直しを頻繁に行うことが可能になるので、同期が外れてから同期状態に復帰するまでの時間を短くすることが出来る。

【図面の簡単な説明】

【図1】

本発明の第1の実施例の構成図である。

【図2】

第1の実施例のフレーム構成を示す図である。

【図3】

第1の実施例の入力インターフェースの構成図である。

【図4】

第1の実施例の入力インターフェース及び出力インターフェースの動作を示すタイミングチャートである。

【図5】

第1の実施例のスクランブラの構成図である。

【図6】

第1の実施例の出力インターフェースの構成図である。

【図7】

第1の実施例のデスクランブラの構成図である。

【図8】

本発明の第2の実施例の構成図である。

【図9】

第2の実施例のスクランブラステート生成回路の構成図である。

【図10】

第2の実施例のスクランブラステート生成回路の動作を示すタイミングチャートである。

【図11】

第2の実施例の入力インターフェースの構成図である。

【図12】

第2の実施例のスクランブラの構成図である。

【図13】

第2の実施例のスクランブラの動作を示すタイミングチャートである。

【図14】

第2の実施例の出力インターフェースの構成図である。

【図15】

第2の実施例のデスクランブラの構成図である。

【図16】

本発明の第3の実施例の構成図である。

【図17】

第3の実施例のフレーム構成を示す図である。

【図18】

第3の実施例の入力インタフェースの構成図である。

【図19】

第3の実施例の入力インタフェースの動作を示すタイミングチャートである。

【図20】

第3の実施例のスクランブラの構成図である。

【図21】

第3の実施例のスクランブラの動作を示すタイミングチャートである。

【図22】

第3の実施例の出力インタフェースの構成図である。

【図23】

第3の実施例の出力インタフェースの動作を示すタイミングチャートである。

【図24】

第3の実施例のデスクランブラの構成図である。

【図25】

第3の実施例のデスクランブラの動作を示すタイミングチャートである。

【図26】

従来の交換装置の1実施例の構成図である。

【図27】

図26の実施例のフレーム構成を示す図である。

【符号の説明】

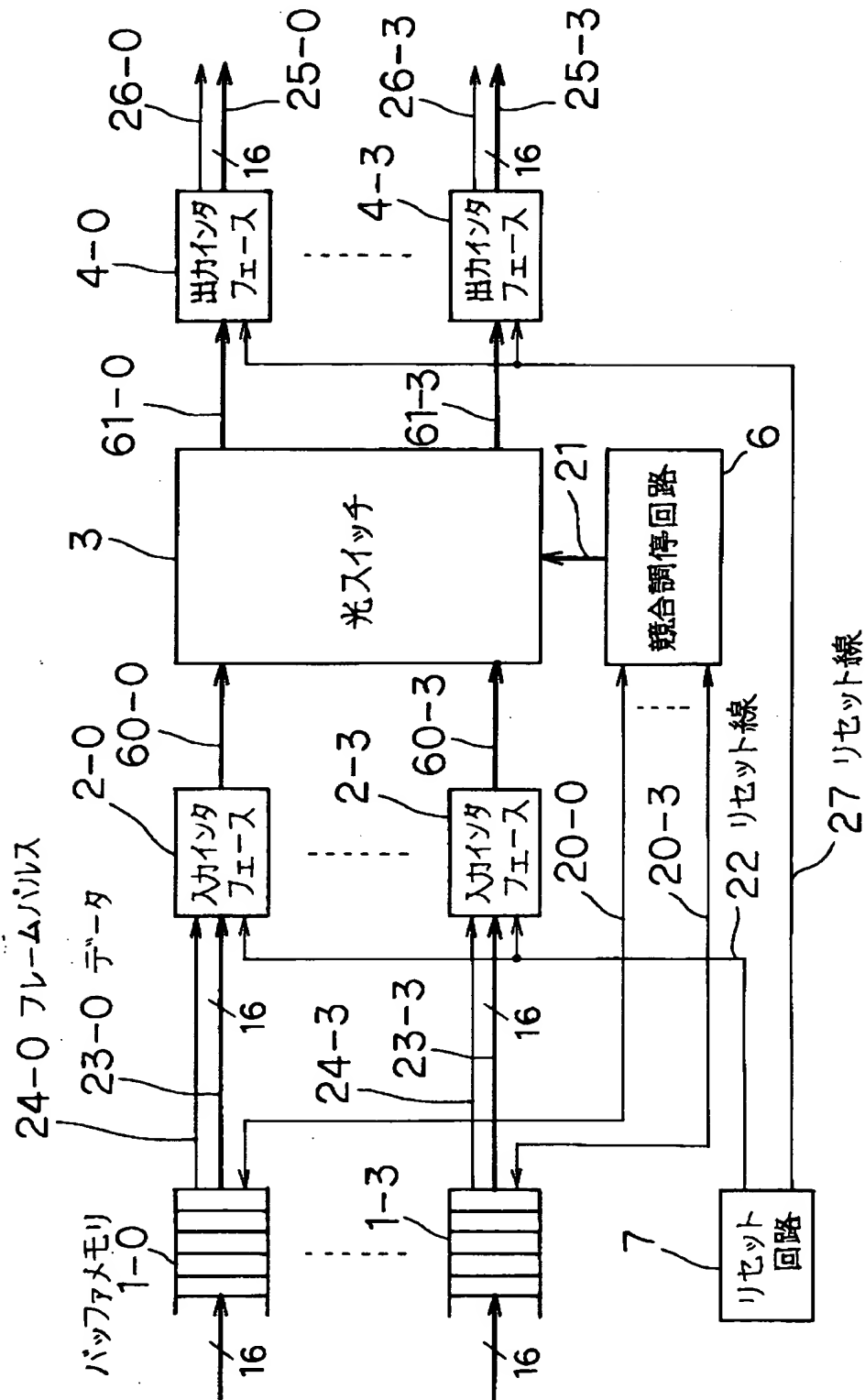
- 1, 1-0~1-3 バッファメモリ
- 2, 2-0~2-3 入力インタフェース、I I N F
- 3 光スイッチ
- 4, 4-0~4-3 出力インタフェース、O I N F

- 5 エラスティックメモリ
- 6 競合調停回路、A R B I T E R
- 7 リセット回路
- 8 スクランブラステート生成回路
- 1 0 プリアンブル
- 1 1 フレーム同期パターン、S Y N C
- 1 2 ペイロード
- 1 3 C R C
- 1 4 スクランブラステート
- 1 5 ダミーパターン
- 2 0, 2 0 - 0 ~ 2 0 - 3 調停線
- 2 1 スイッチ制御線
- 2 2, 2 7 リセット線
- 2 3, 2 3 - 0 ~ 2 3 - 3 データ線
- 2 4, 2 4 - 0 ~ 2 4 - 3 フレームパルス線
- 2 5, 2 5 - 0 ~ 2 5 - 3 データ線
- 2 6, 2 6 - 0 ~ 2 6 - 3 フレームパルス線
- 2 8 クロック線
- 3 0 C R C 付加回路
- 3 1 スクランブラ
- 3 2 フレーム同期パターン付加回路
- 3 3 プリアンブル付加回路
- 3 4 マルチプレクサ
- 3 5 光送信器
- 4 0 光受信器
- 4 1 ビット同期回路
- 4 2 デマルチプレクサ
- 4 3 フレーム同期回路
- 4 4 エラスティックメモリ

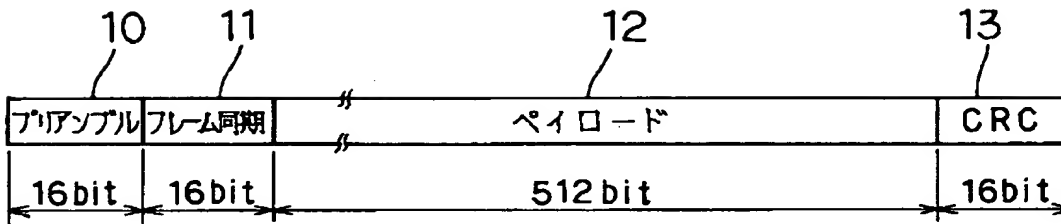
- 45 デスクランブラ
- 46 誤り検出回路
- 50, 50-0~50-15 入力ポート
- 51, 58, 80, 81, 82, 87, 88 レジスタ
- 52 組合せ論理回路
- 53, 53-0~53-15 XOR回路
- 54, 54-0~54-15 出力ポート
- 55 フレームパルス線
- 56 AND回路
- 57 フレームパルス生成回路
- 59, 83, 89, 90 遅延回路
- 60, 60-0~60-3 光ファイバ
- 61, 61-0~61-3 光ファイバ
- 70, 71 スクランブルステート線
- 72 フレームパルス線
- 84, 85 セレクタ
- 86 論理回路

【書類名】 図面

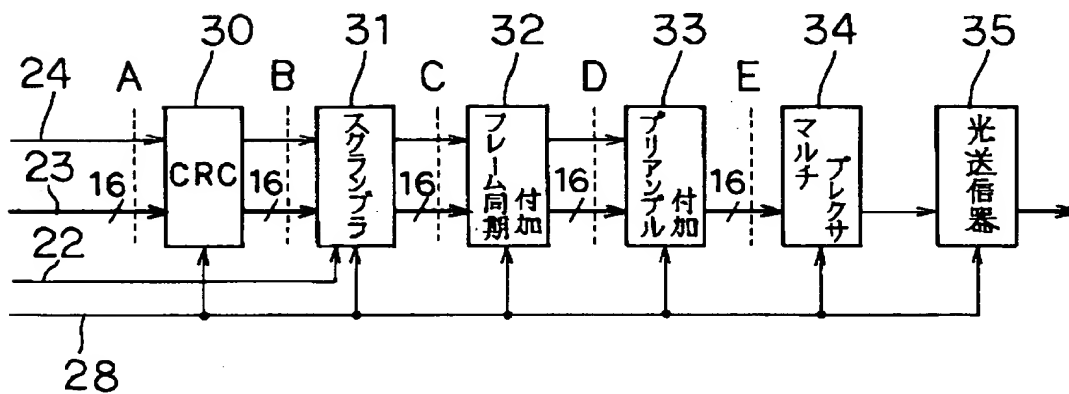
【図 1】



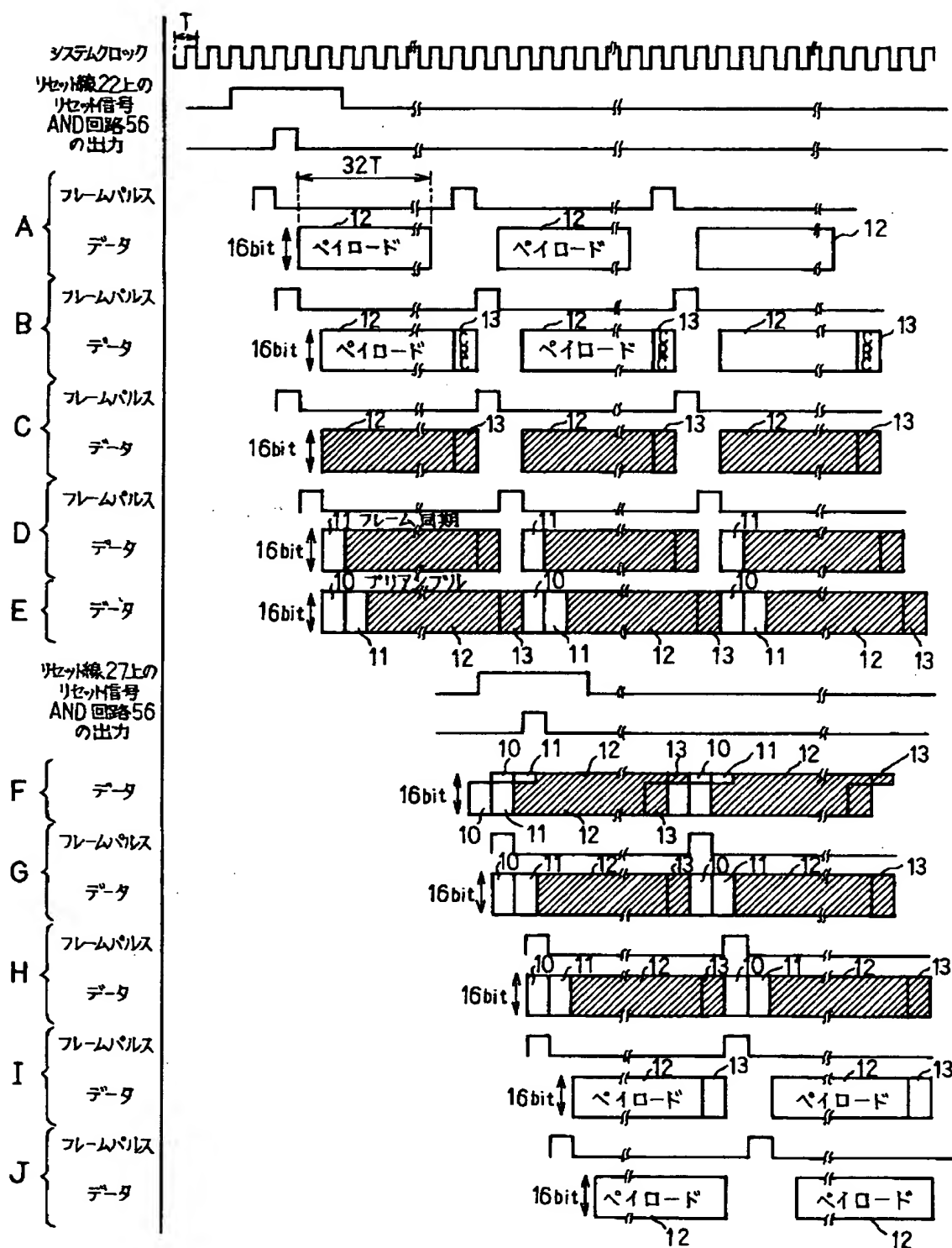
【図 2】



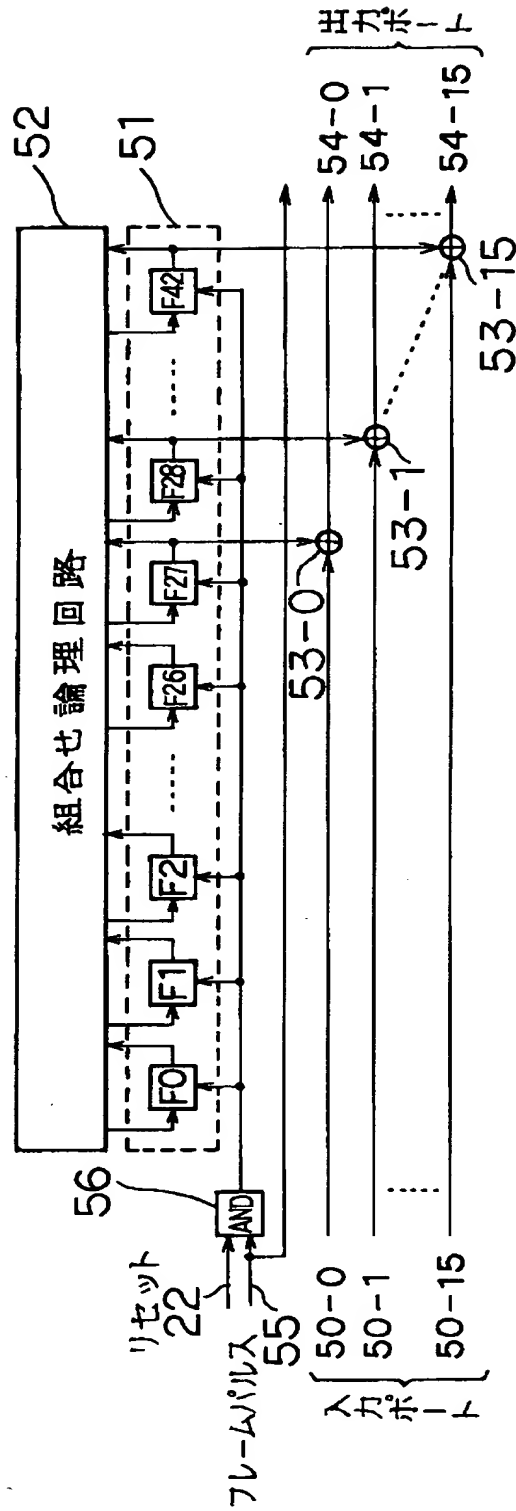
【図 3】



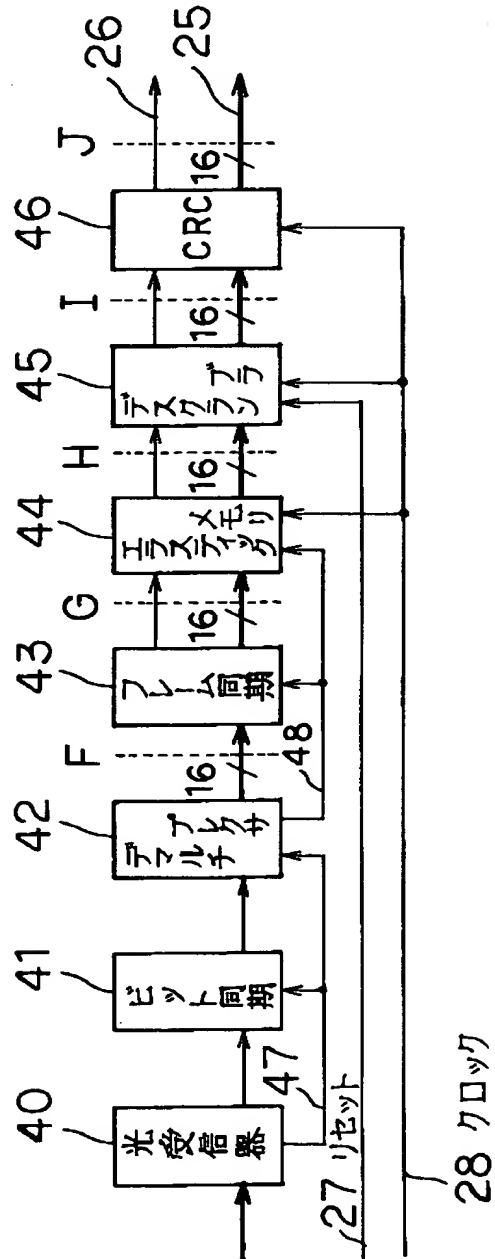
【図 4】



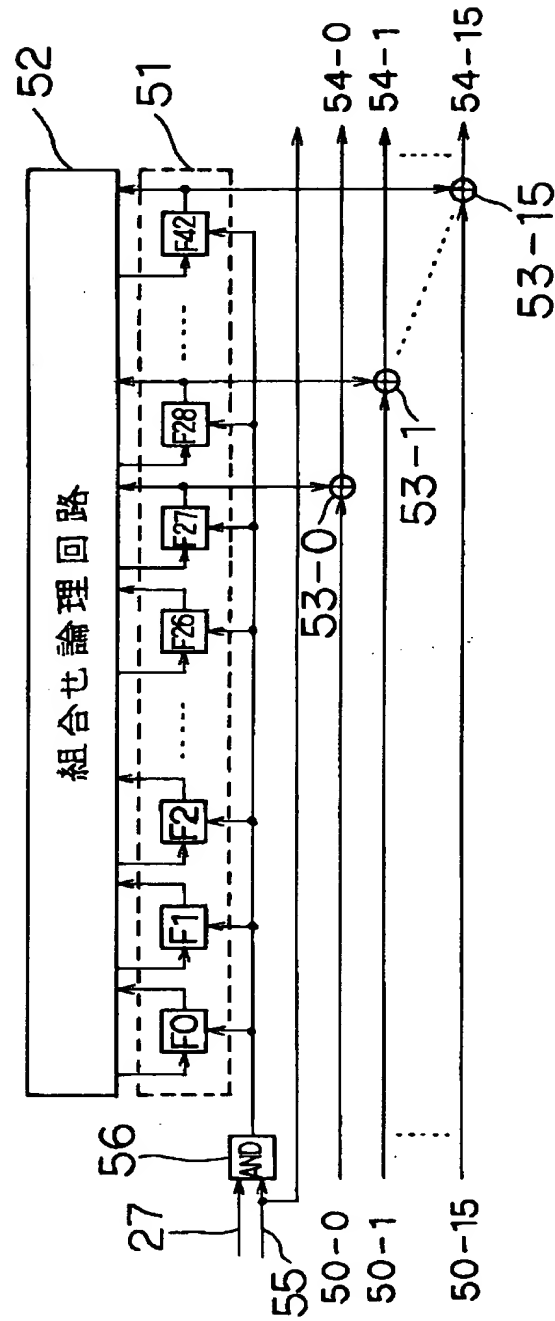
【図 5】



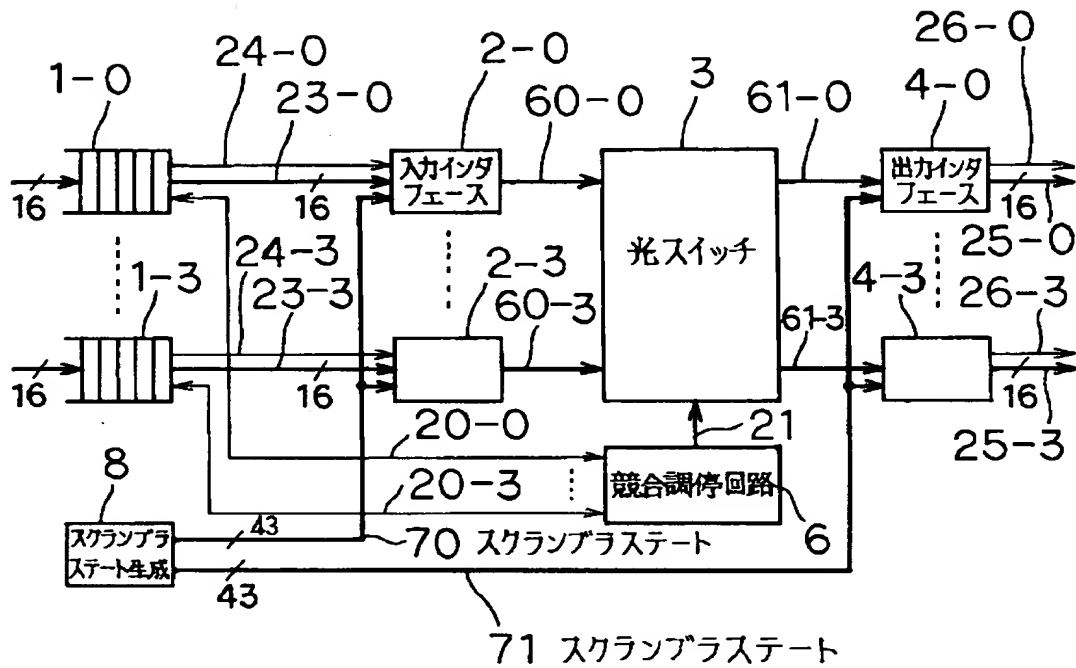
【図 6】



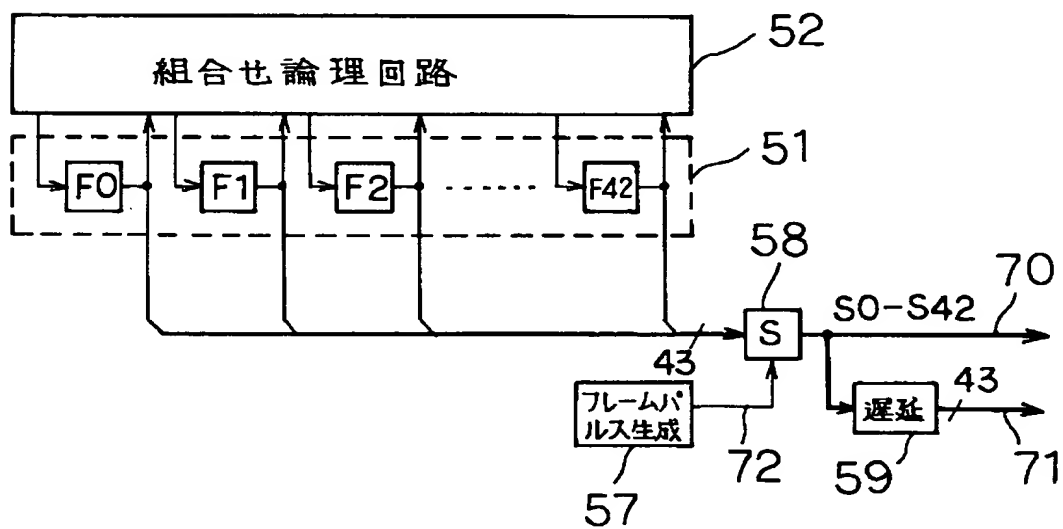
【図 7】



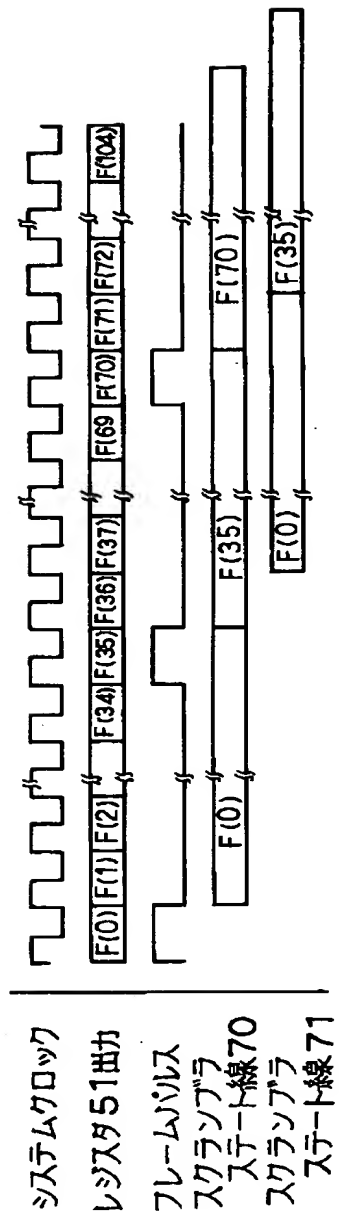
【図 8】



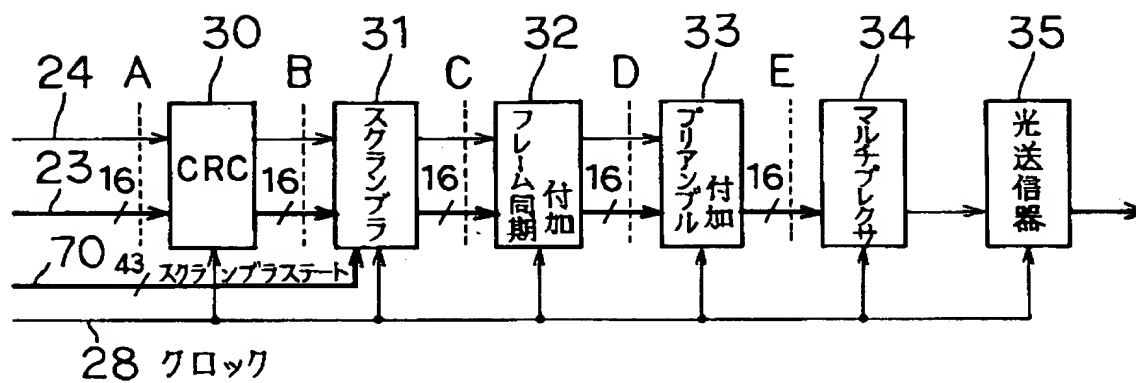
【図 9】



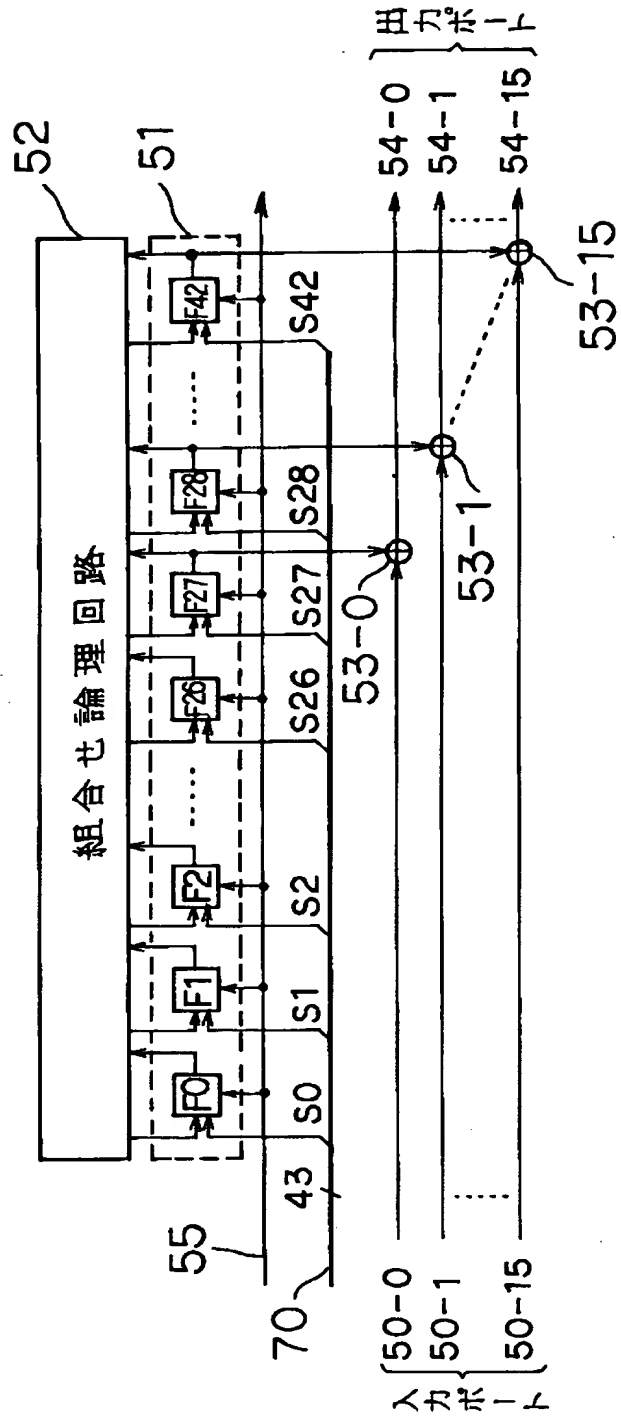
【図 1 0】



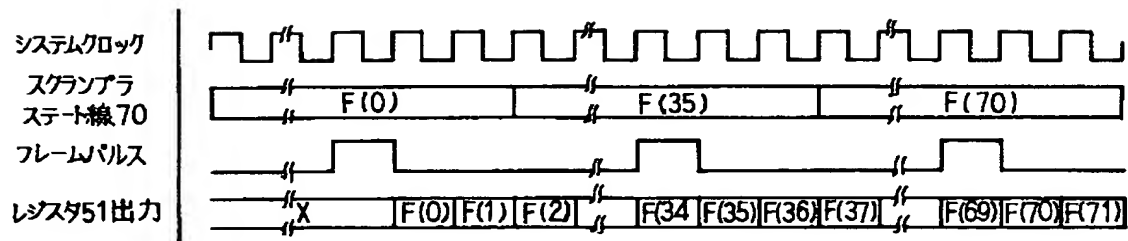
【図 1 1】



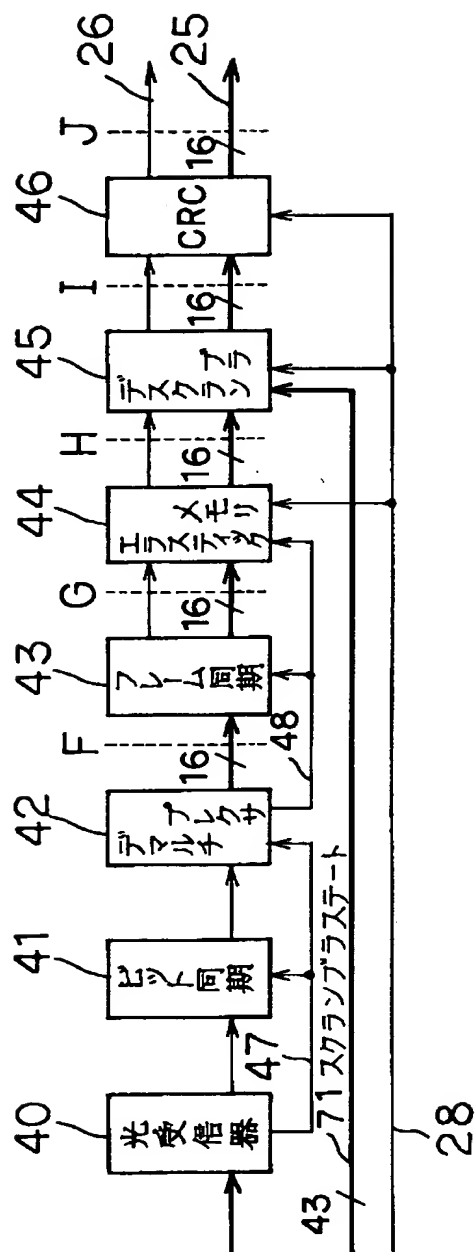
【図 1 2】



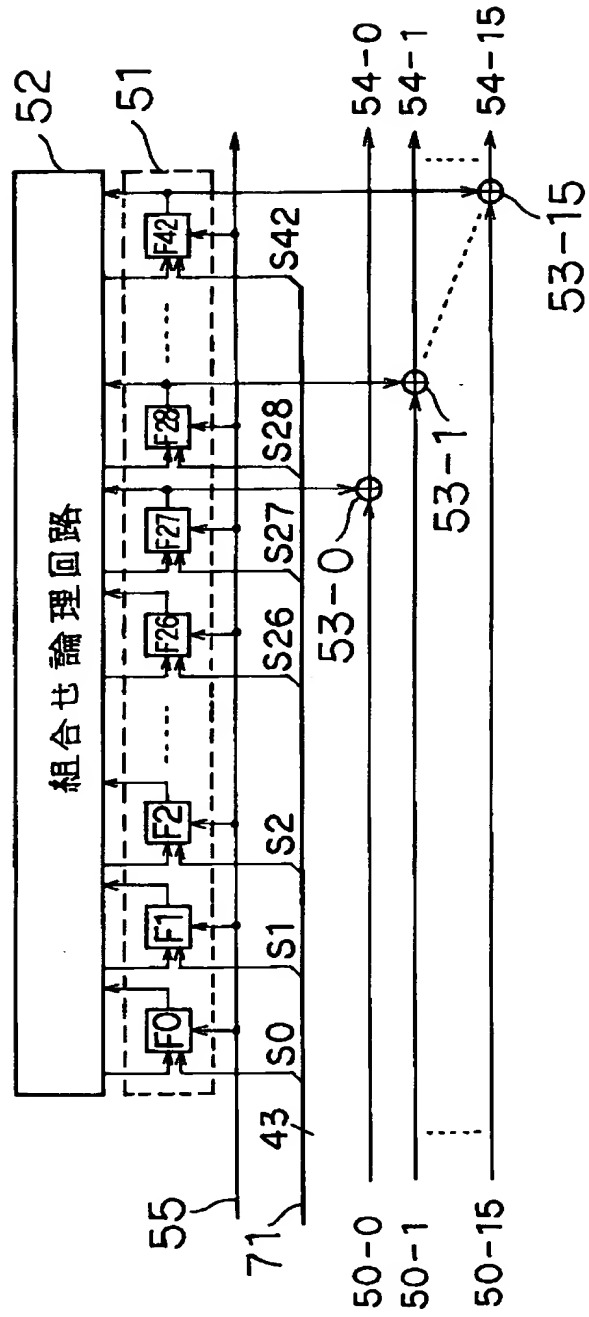
【図 1 3】



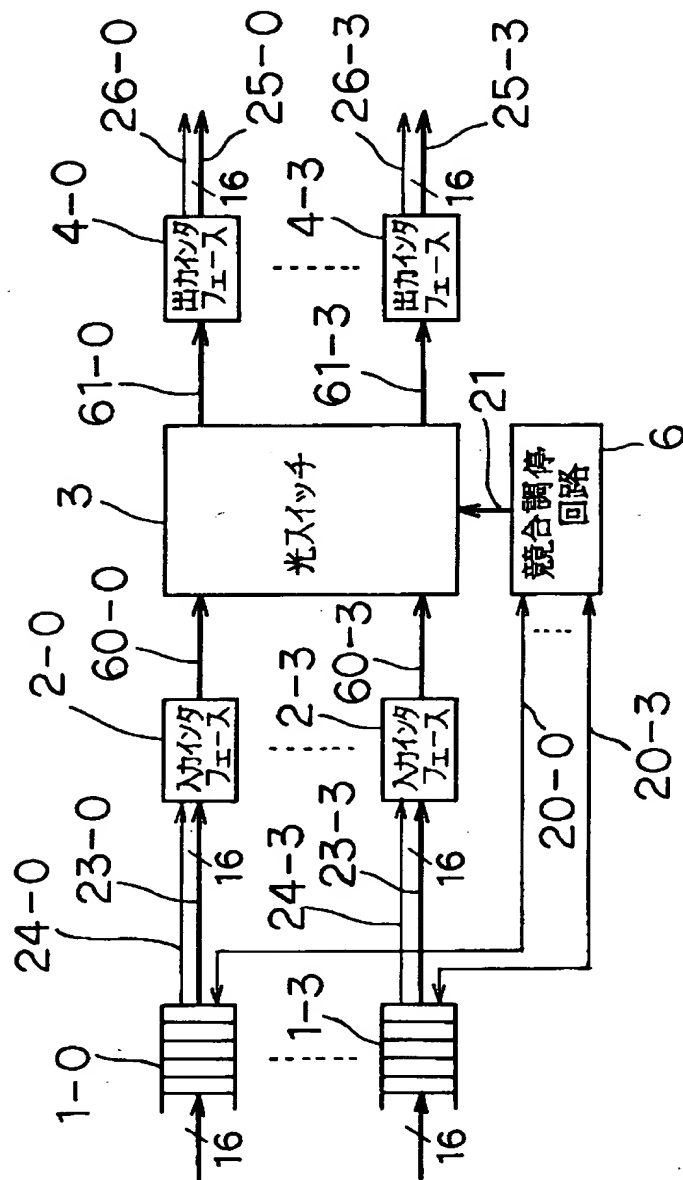
【图 14】



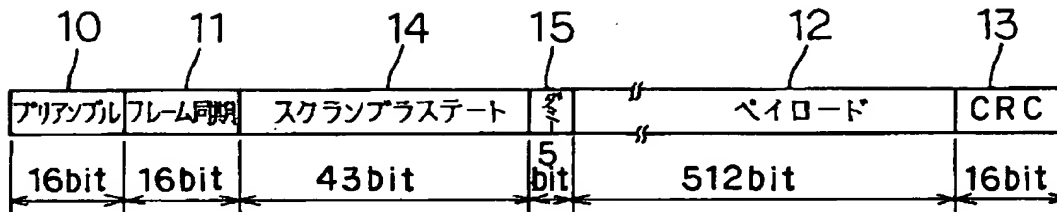
【図 1 5】



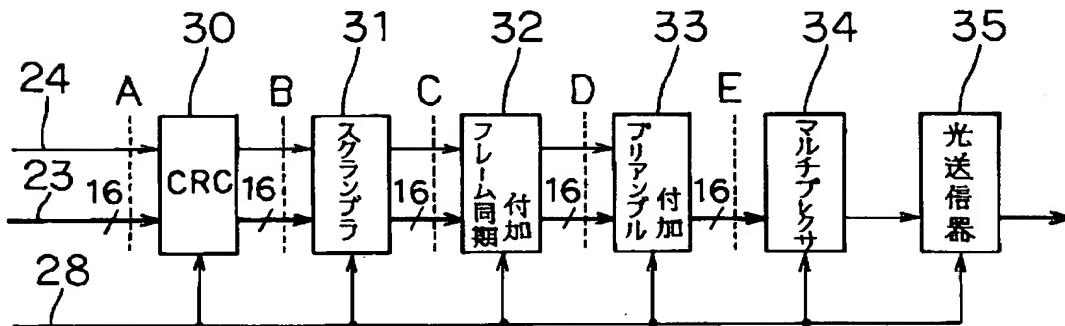
【図 1 6】



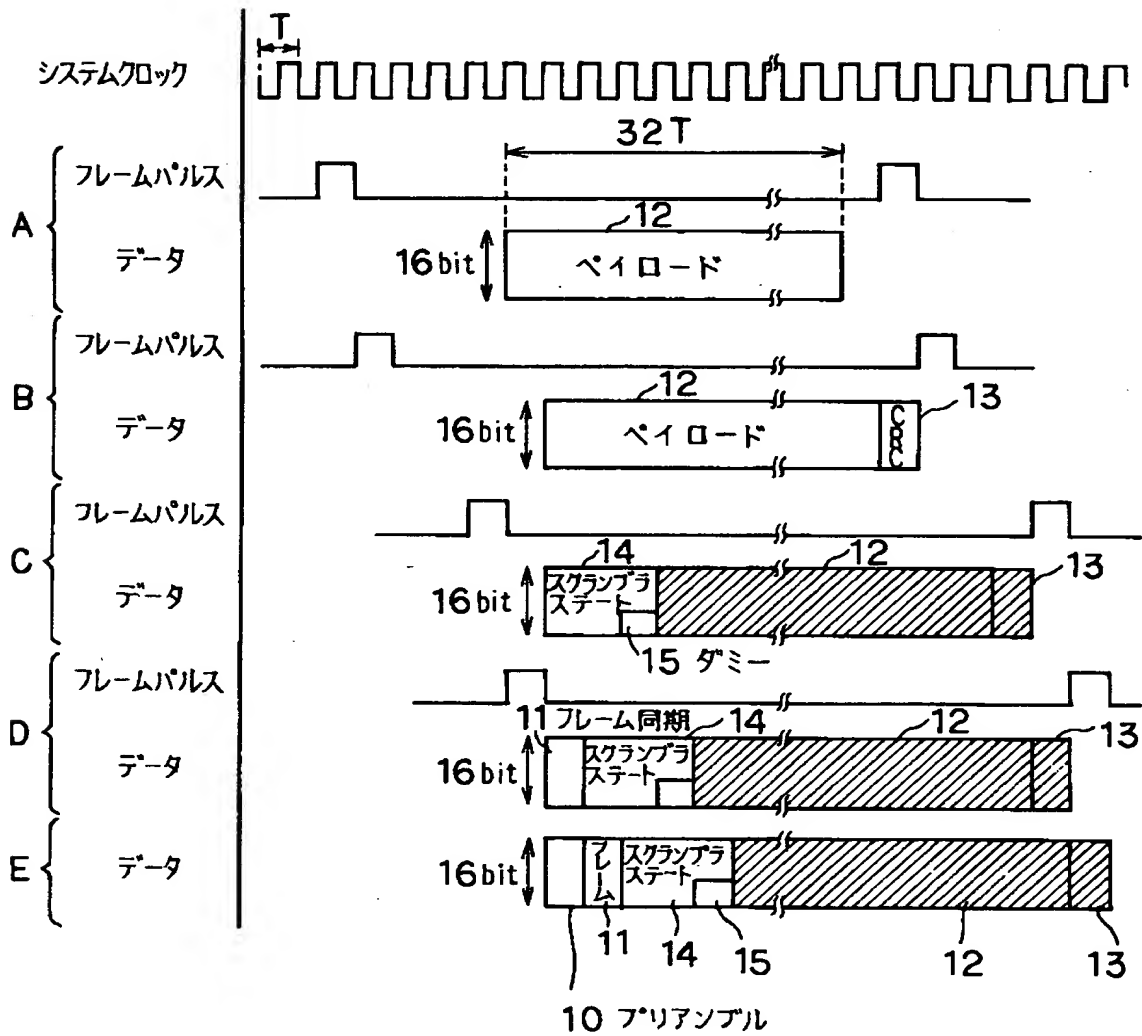
【図 1 7】



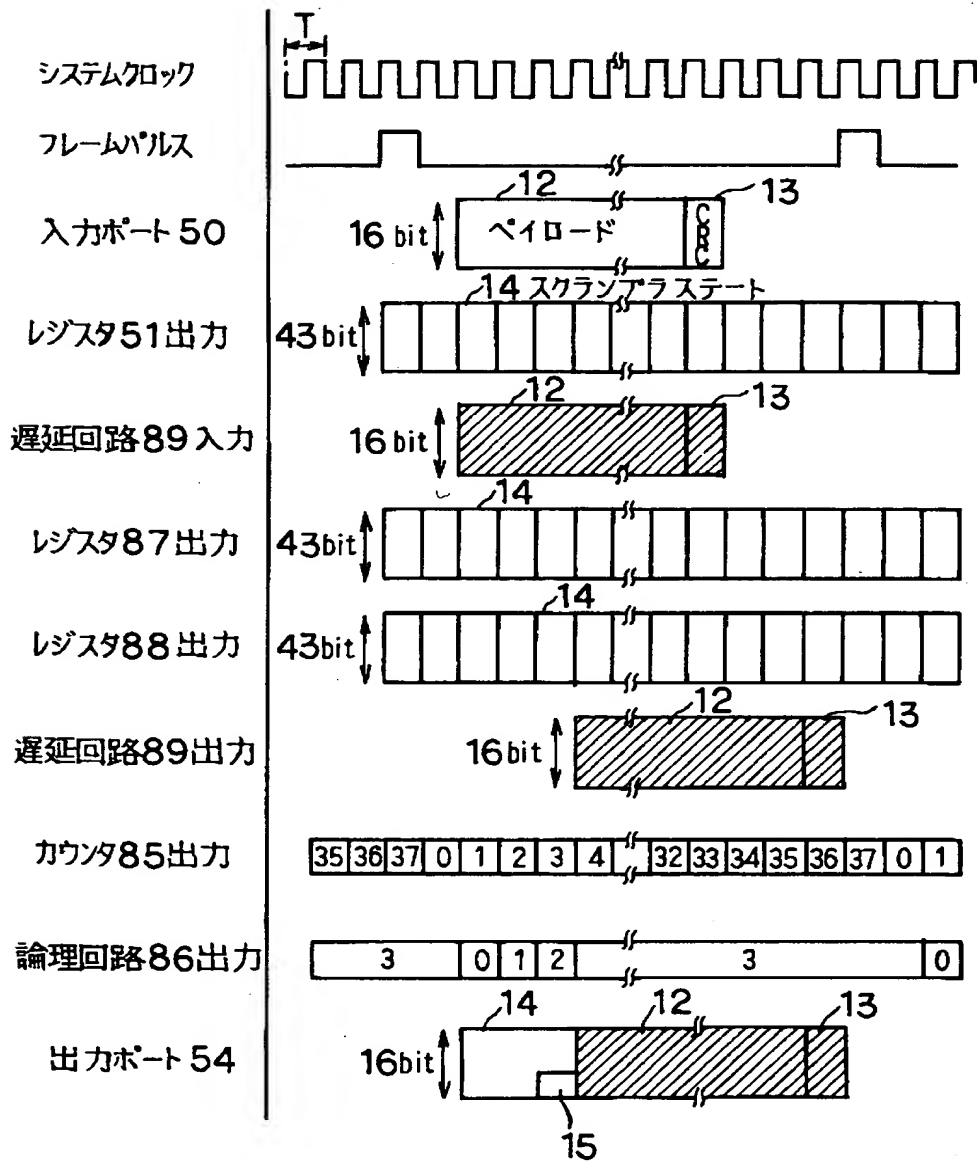
【図 1 8】



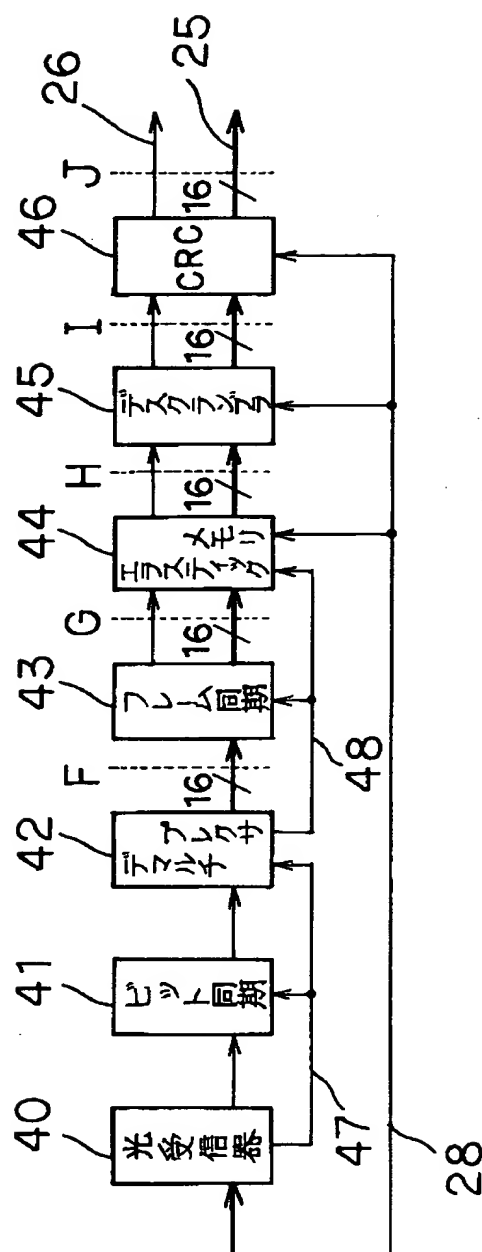
【図 1 9】



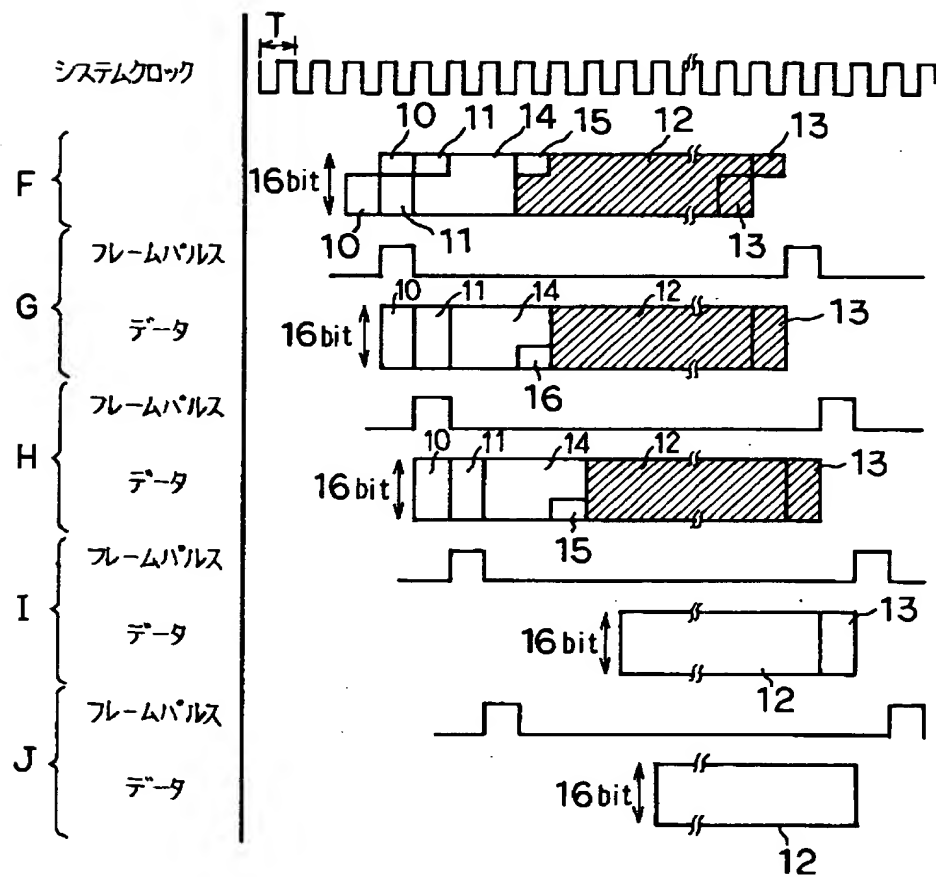
【図 2 1】



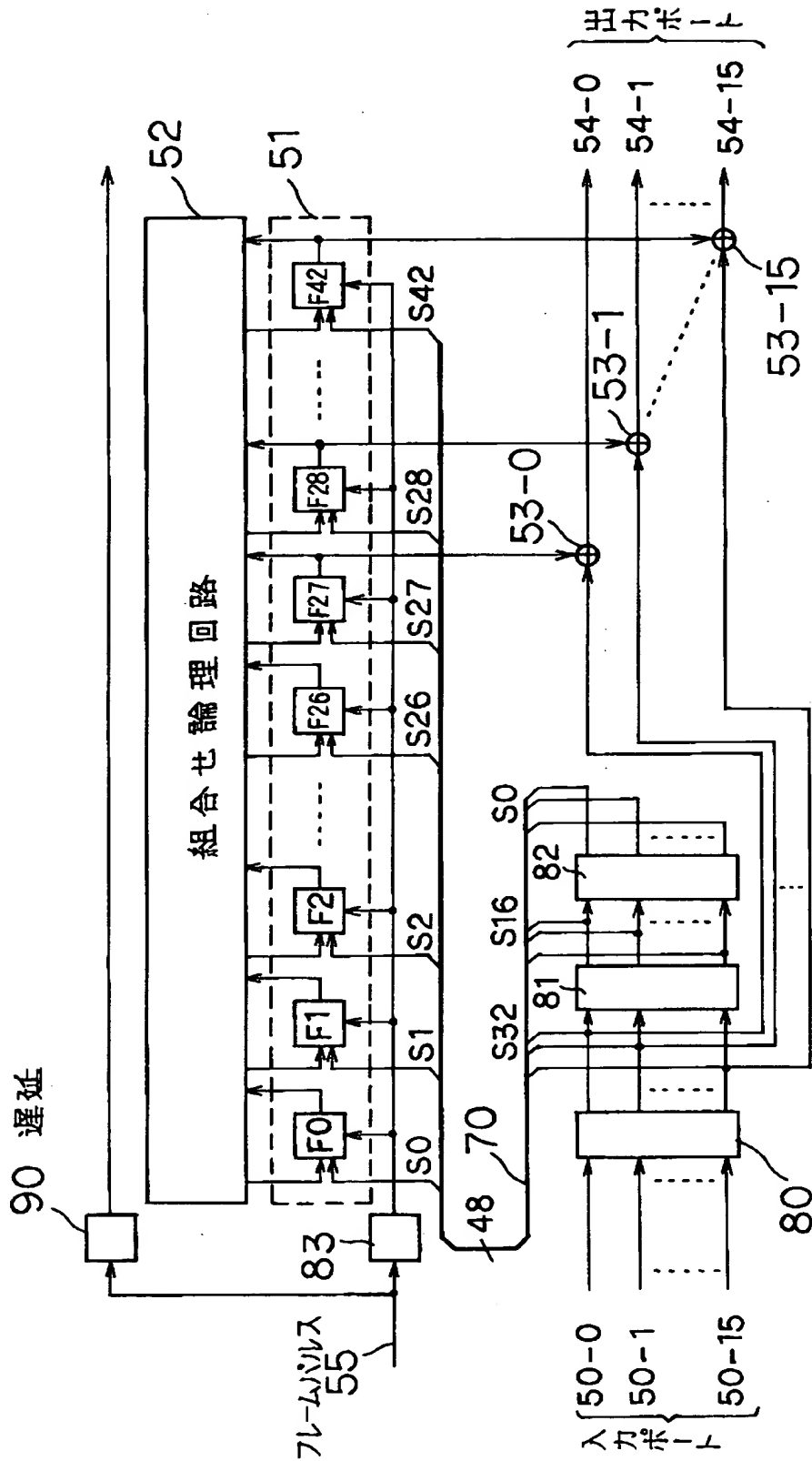
【图 2 2】



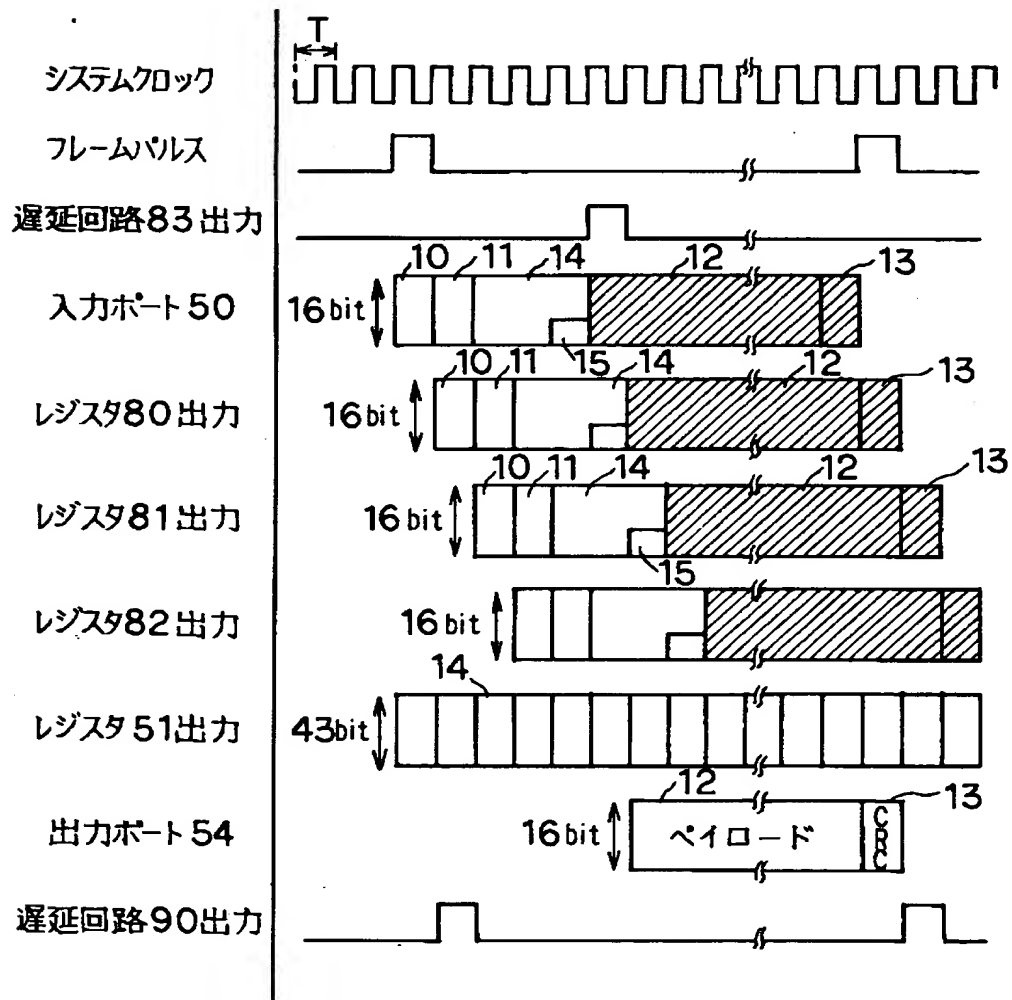
【図 2 3】



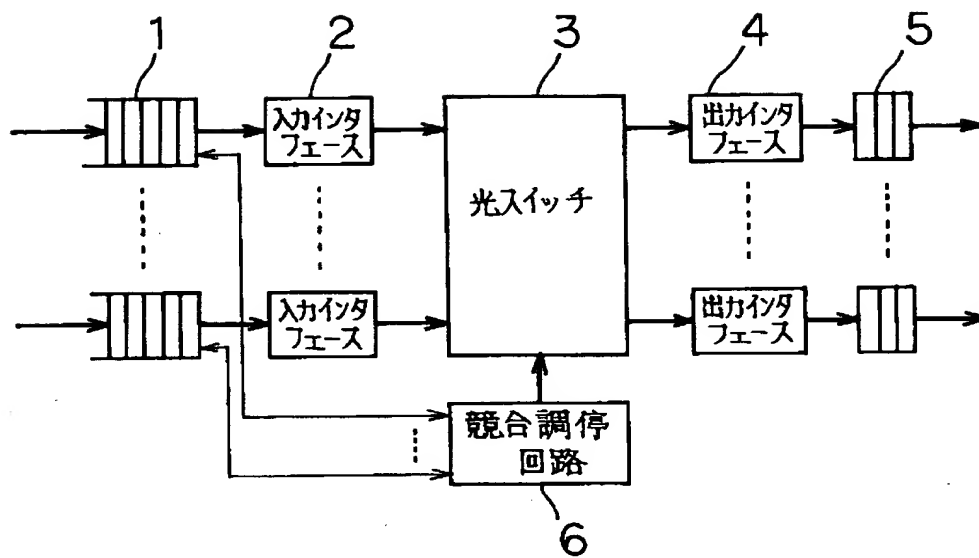
【図 24】



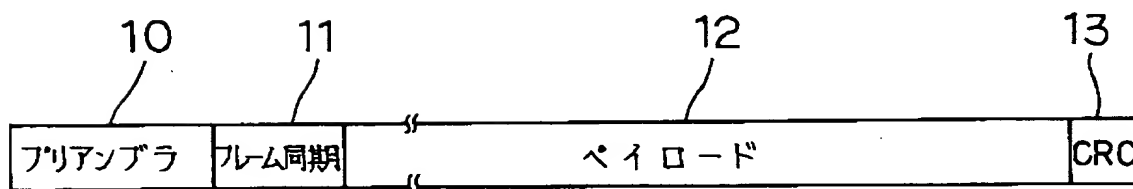
【図 2 5】



【図 2 6】



【図 2 7】



【書類名】 要約書

【要約】

【課題】 交換装置の内部信号にスクランブルを適用する場合に、フレーム毎にスクランブラ、デスクランブラをリセットしなくてもスクランブラとデスクランブラの同期を実現する方法を提供する。

【解決手段】 バッファメモリ 1 に入力されたパケットは競合調停回路 6 による競合の調停が行われた後、入力インタフェース 2 内でスクランブル、フレーム化、電気／光変換される。光スイッチ 3 はフレーム毎に光信号の交換を行う。出力インタフェース 4 は光／電気変換、デスクランブラを行い、フレームからパケットを取り出す。全ての入力インタフェース 2 内のスクランブラと全ての出力インタフェース 4 中のデスクランブラにはリセット回路 7 よりスクランブラのリセット線 2 2、デスクランブラのリセット線 2 7 を経てリセットパルスが与えられ、それぞれ同時にリセットされる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

| | |
|----------|---------------|
| 1. 変更年月日 | 1990年 8月29日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都港区芝五丁目7番1号 |
| 氏 名 | 日本電気株式会社 |